

WO2006040898

Publication Title:

DISPLAY DEVICE

Abstract:

Abstract of WO2006040898

A display device comprises divide means for dividing display data to be displayed on display means, to generate a plurality of N-serial signals, means for multiplying the serial signals individually by different codes, synthesize means for synthesizing the output signal of the multiply means into serial signals less than the number (N), and restore means for receiving the output signal of the synthesize means to calculate the correlations to the codes thereby to restore the display data. The display means is driven on the basis of the signals restored by the restore means. Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年4月20日 (20.04.2006)

PCT

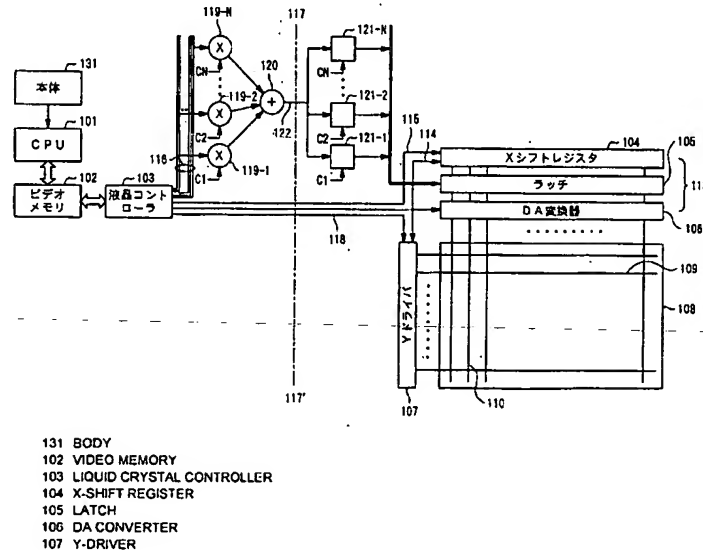
(10) 国際公開番号
WO 2006/040898 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) H04N 5/66 (2006.01)
G09G 3/20 (2006.01) H04N 5/00 (2006.01)
H04B 1/707 (2006.01) G09G 5/00 (2006.01)
- (21) 国際出願番号: PCT/JP2005/016884
- (22) 国際出願日: 2005年9月7日 (07.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-261983 2004年9月9日 (09.09.2004) JP
特願2004-261984 2004年9月9日 (09.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒1630811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP).
- (72) 発明者: 池田 勝幸 (IKEDA, Masayuki); 〒3928502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).
- (74) 代理人: 上柳 雅誓, 外 (KAMIYANAGI, Masataka et al.); 〒3928502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産本部内 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: A display device comprises divide means for dividing display data to be displayed on display means, to generate a plurality of N-serial signals, means for multiplying the serial signals individually by different codes, synthesize means for synthesizing the output signal of the multiply means into serial signals less than the number (N), and restore means for receiving the output signal of the synthesize means to calculate the correlations to the codes thereby to restore the display data. The display means is driven on the basis of the signals restored by the restore means.

(57) 要約: 表示手段に表示するための表示データを分割し複数Nのシリアル信号として生成する分割手段、前記シリアル信号の各々に異なる符号を乗算する手段、前記乗算手段の出力信号を合成し前記Nより少ないシリアル信号に合成する合成手段、前記合成手段の出力信号を受信し前記符号との相関を計算し前記表示データに復元する復元手段を具備し、前記復元手段により復元された信号に基づき前記表示手段を駆動する。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

表示装置

5 技術分野

本発明は、高精彩テレビジョンなどの大型表示素子の駆動に高速な大容量データ転送を必要とする表示装置に関する。

背景技術

10 近年、テレビジョン、ノートブックコンピュータなどの機能向上は目覚しく、画面が大型化し、高分解能化および高精細化が進んでいる。特に、フラットパネルディスプレイを用いたデジタルハイビジョンなどでは、表示装置は大型である上に画素数が非常に多く、その駆動信号の周波数帯域は非常に広範である。

15 図15は、表示素子としてアクティブマトリックス型液晶表示体を用いた表示装置の典型的な構成を示すブロック図、図16はそのタイム図である。

図15に示すように、CPU1801は、本体部1819の指示に従って表示すべき画像データを生成し、画像データをビデオメモリ1
20 802に書き込む。なお、本体部1819は、ここではテレビジョンにおけるチューナーや復調部を含む本体回路やDVDプレーヤ再生部など、コンピュータの入出力装置などを含む本体部を意味する。CPU1801は本体部1819の信号を受け、その画像信号や、JPEGやMPEGなどの圧縮画像や動画データからの伸張や演算により、
25 表示すべき画像データを生成し、ビデオメモリ1802に蓄え、必要に応じて順次書き換え更新する。

液晶コントローラ1803は、液晶表示に必要な各種タイミング、すなわちXドライバ1813のXクロック信号1815、水平同期信号1814、垂直同期信号1818を生成し、またビデオメモリ18

02から表示すべき順序にそって画像データを読み出して、液晶表示体1808のドライバ(Xドライバ1813およびYドライバ1807)に送出する。ここで、Xドライバ1813は、液晶表示体1808の画素がn行m列で構成される場合、m段のXシフトレジスタ1804、mワードのラッチ1805およびm個のDA変換器1806から構成される。このm段のXシフトレジスタ1804、mワードのラッチ1805およびm個のDA変換器1806は、通常複数组に分割されて半導体集積回路上に集積され、液晶表示体1808の周囲に配置される。

10 液晶コントローラ1803は表示フレームの先頭の画素を読み出すとき、垂直同期信号1818を発生し、Yドライバ1807に送出する。このとき同時に液晶コントローラ1803は、液晶表示体1808の1行1列目の画素に表示するデータをビデオメモリ1802から読み出し、表示データ信号1816としてラッチ1805のデータ端子に送出する。ここで、表示データ信号1816は、画素毎にたとえばRGB各8ビットあって、それらは24本の伝送路を使って並列に24ビットの並列データとして伝送するか、または並直変換の後、24倍の伝送レートで伝送される。

Xシフトレジスタ1804は、図16に示すように、液晶コントローラ1803が発生する水平同期信号1814をXクロック信号1815に同期して読み込み、第一列目の画像データをラッチするための信号X1ラッチ(図16(c))を発生する。この信号によって1行1列目の画素に表示されるデータがラッチ1805の1列目にラッチされる。引き続き、液晶コントローラ1803は、ビデオメモリ1802から次の画素に表示すべきデータを読み出し出力する。Xドライバ1813のXシフトレジスタ1804は水平同期信号1814を一つシフトさせ、第二列目の画像データをラッチするための信号X2ラッチ(図16(d))を発生させて、1行2列目の画像データをラッチする。

以下、Xシフトレジスタ1804は水平同期信号1814を順次シフトさせ、1行目に表示するデータを順次ラッチしていく。このような動作は、表示データ信号1816が画素毎に並列データとして複数の伝送路にて送られてくるときは、1回のXクロック毎に表示データ
5 が並列にラッチ1805に読み込まれ、またシリアルデータとして送られてくるときは、直並変換の後にラッチ1805に並列に読み込まれることは説明を要さないだろう。

1行分のデータをラッチ1805が保存し終わると、次の水平同期信号1814（図16（a）および（h）、図16では（a）～（f）
10 ）と同図（g）～（k）で横軸のタイムスケールが変わっていることに注意されたい。そのため同一信号である水平同期信号1814は（a）に加え（h）が再掲されている。）が出力され、DA変換器1806はラッチ1805に保持されたデータをDA変換し、列電極1810のX_i番目（ $1 \leq i \leq m$ ）に出力する。同時にYドライバ180
15 7は1行目の行電極Y₁に選択信号を出力する。

以下同様に、Yドライバ1807は、行電極1809のY_j番目（ $1 \leq j \leq n$ ）に選択信号を水平同期信号1814が出る度に順次シフトしていく。

図15の一点鎖線1818内は液晶表示体1808のマトリックス
20 配置された1画素部分を拡大した図である。アクティブスイッチ素子1811は行電極1809のY_j番目が選択されると、列電極1810のX_i番目に出力されたDA変換器1806の出力を画素電極1812に伝える。なお、DA変換器1806を液晶コントローラ側に一つ置いて、データ1816をアナログ信号で伝送することもできる。
25 この場合は、ラッチ1805はアナログのサンプルアンドホールド回路となる。この方法はDA変換器の数を減らすことができ、従来多く用いられたが、DA変換器といっても最終的に画素電極1812に印加される電圧値が所定値になっていればよく、パルス幅変調などのデジタル回路が使用でき、アナログのサンプルアンドホールド回路が不

要となるため、L S I の高密度化に伴い、ここで説明した方法が主流となってきた。

ただし、この方法では、データはデジタル信号で送られるため、信号線の数が非常に多くなり、例えば、8ビット×3原色の計24本が必要となる。また、1フレームの表示に必要な画像データの情報量は、この解像度（画素数）倍となる。

なお、行の右端の表示信号が液晶コントローラ1803から出力された後、次の行の左端の表示信号が出力されるまでの時間、また画面の最下行の画像データが出力し終わってから、次のフレームの最初の行の画像データが出力されるまでの時間は、（水平、垂直）ブランキング期間または帰線期間と呼ばれ、CRTでは0にできないが、液晶表示体では0でもよい。図16では、1画素分の水平帰線期間および1行分の垂直帰線期間をとった場合を例示している。

近年の表示体の大型化および高分解能化に伴って、液晶コントローラ1803より転送すべき画像データは速度はギガビット毎秒を超える。たとえば、ハイビジョンクラスの解像度が1920×1080の画素数の画面を毎秒60フレーム分だけ表示するとすれば、 $1920 \times 1080 \times 24 \times 60 \div 2 = 2.986 \text{ Gbps (bits per second)}$ のデータ転送速度が必要となる。

また、表示されるデータも、マルチメディア時代に伴って、本体部1819に様々な機能を盛り込むことが多く、液晶表示体1808と本体部1819は着脱可能な状態に分離できることが望ましい。このような要請から実装基板は複数に分離され、その場合図15の一点鎖線1817-1817'で分けられることが多い。必然的に本体部1819と液晶表示体1808との間の結線が長くなる。

また、液晶表示体1808の高分解能化に伴い、それらの線路の信号周波数が高くなり、接続が困難になってきている。また、表示画面そのものも大きくなり、たとえば100インチを超える画面の周辺に配置された液晶ドライバ（特にXドライバ1813）にギガビット毎

秒を越えるデータを配信するのは事実上不可能であり、表示データを並列化し多数の線路を設けることで、各線路の伝送速度を下げる方法が取られる。しかしハイビジョンクラスになると、この線路数は非常に大きくなり、100を超える。

- 5 この問題を解決するために、高速データ伝送の方式として、たとえばLVDS (Low Voltage Differential Signaling) を表示ドライバの接続に使う (特許3086456号公報 (欄44) および特許3330359号公報 (欄46)) ことが提案されている。特許3349426号公報および特許3349490号公報等では、この方式でも十分な解決が得られないとして、
10 新たな方法も提案されている。

- しかしながら、最近の表示体の大型化の進展は目覚しく、これらの技術でも十分な性能を得られない。十分な対ノイズ特性 (耐干渉性、与干渉性) を得るには、細心の設計と調整が要求される。また、LV
15 DSでは、信号レベルが小さいため、必然的にデジタルICでアナログ信号を扱うことになり、消費電力が大きくなるという問題があった。

- また、信号を精度よく伝送するためには、整合の取れたインピーダンス終端が必要であるが、インピーダンス終端が必要な線の数が多い
20 上に伝送インピーダンスはせいぜい100オーム位なので、それらの終端抵抗に消費される電力が容認できないほどに大きくなってしまいうという問題もあった。

- さらに、図15の一点鎖線1817-1817'で実装基板を分けると、長い配線によって引き回された線路を通して高速で大量のデータ
25 を伝送させる必要がある。このため、線路からの放射電磁界が増えることとなり、他の電子装置あるいは自機器への電磁波妨害の要因となる。従来の信号線による信号伝送では、受電端での振幅レベルが規定されており、受電端で十分な品質を確保しても、信号の振幅レベルを下げることはできない。すなわちEMI対策が困難になり、結果と

して機器デザインへの制約やコストアップを引き起こしている。また、送信側では、受電端の負荷に加え線路の浮遊容量も同時に駆動することになるため、信号伝達に余分なエネルギーを必要としている。すなわち、消費電力を増大させる結果となっている。

- 5 また、転送データの高速化に伴う配線数の増大は配線のための物理的スペースを要し、当然の事ながら機器のデザインに対し大きな制約を課すことになる。

- 特に、配線がヒンジ部などの可動部を通る場合は、可動部の折れ曲がり具合により特性インピーダンスが変化するため、状況によってインピーダンス不整合が生じ、折れ曲がり部での反射等により信号劣化を
10 引き起こす。このため、伝送されるデータの速度が制限されたり、実装方法や部品の配置が制約を受けるという問題点があった。また、やり取りされる信号数は100本を越えるため、この接続を行うフレキシブル基板やコネクタのコストが高い上に接続信頼性も低いという
15 欠点を有していた。

そこで、本発明は、上述のように種々の問題や制約を持つデータの高速度伝送の方法を従来にないまったく新しい方法で改善し、これらの従来の欠点や制約を除去し、低コストで信頼性の高い表示装置を実現することを目的とする。

20

発明の開示

- 本発明の一態様に係る表示装置は、表示データを表示する表示手段と、前記表示手段に表示される表示データを分割し複数個 N （ N は2以上の整数）のシリアル信号として生成する分割手段と、前記シリアル
25 信号の各々に異なる符号を乗算する乗算手段と、前記乗算手段の出力信号を合成し前記 N より少ないシリアル信号に合成する合成手段と、前記合成手段の出力信号と前記符号との相関を計算することにより、前記表示データを復元する復元手段と、前記復元手段により復元された信号に基づき前記表示手段を駆動する駆動手段とを具備すること

を特徴とする。

本発明のこの構成により、表示手段に伝送される表示データは符号分割多重され伝送されるので、線路に必要な帯域幅を狭くすることが出来、伝送が容易に実現可能となり、少ない伝送線路数による伝送や
5、各々の伝送路に要求される周波数帯域の制限の緩和が可能になる。

本発明の一態様に係る表示装置の前記表示手段は、マトリックス状に配置された画素を有し、線順次走査により表示されることを特徴とする。

本発明の前記構成によれば、平面テレビジョンやノートブックコンピュータの表示など大型大容量の表示装置に実施が可能となる。
10

本発明の一態様に係る表示装置の前記分割手段は、各画素の画素データをビット毎に分割し、画素毎にシリアル出力することを特徴とする。

本発明の上記構成によって、従来並列に出力され伝送されるか、または並直変換し高速なシリアルデータとして伝送していた画素データを、画素毎の符号分割多重により伝送することを可能とし、少ない伝送線路数によつての伝送が可能となり、またビット毎の転送速度を下
15 げることができ、伝送線路に要求される条件を緩和できる。

本発明の一態様に係る表示装置は前記分割手段は、前記表示手段の列をN組に分割し、前記各組毎に画素信号をシリアル出力することを
20 特徴とする。

本発明の上記構成によって、従来高速なシリアルデータとして伝送していた画素データを符号分割多重による伝送を可能とし、少ない伝送線路数によつての伝送が可能となり、またビット毎の転送速度を下
25 げることができ、伝送線路に要求される条件を緩和できる。

本発明の一態様に係る表示装置は、マトリックス状に配置された画素を持つ表示手段と、前記表示手段に表示される表示データを複数のN（Nは2以上の整数）組の列毎に分割しシリアル信号として生成する分割手段と、前記シリアル信号の各々に異なる符号を乗算する乗算

手段と、前記乗算手段の出力信号を合成し前記Nより少ないシリアル信号に合成する合成手段と、前記合成手段の出力信号と前記符号との相関を計算することにより、前記表示データを復元する復元手段と、前記復元手段の出力信号を一時的に記憶する記憶手段と、前記記憶手段により記憶された信号に基づき前記表示手段を列毎に駆動する駆動手段とを具備することを特徴とする。

本発明の上記構成によれば、表示データの受信側で表示情報を一時的に記憶させることが可能であるため、既に送出した表示データに変更がなければ該記憶手段に記憶している表示データを使用し表示できるので、表示データの送出を止めて回路の消費電力を低減することが可能である。

本発明の一態様に係る表示装置は、前記分割手段は、書き換えが必要な組に対してのみ表示データを出力することを特徴とする。

本発明による上記構成によれば、表示手段に対して伝送される画素データは書き換えが必要な部分に対してのみ行うことを可能とし、従ってフレーム毎に表示画像が静止していても、常に画像データを転送更新する従来の方式に比べて、著しくその消費電力を減らすことが可能となる。

本発明の一態様に係る表示装置は、前記乗算手段に供給される符号を発生させる第1拡散符号発生回路と、前記復元手段に供給され、前記乗算手段に供給される符号と同一の符号を発生させる第2拡散符号発生回路とを備え、前記第1拡散符号発生回路と前記第2拡散符号発生回路とは同一のクロック信号にて同期が取られることを特徴とする。

本発明による上記構成によれば、受信側での拡散符号発生の同期のための信号を直接送信側から取得することが可能となる。このため、受信側で拡散符号発生の同期を取るための特別な回路が必要なくなり、同期捕捉を簡略化することができる。

本発明の一態様に係る表示装置は、マトリックス状に配置された画

- 素を持ち、線順次走査により表示駆動される表示手段と、前記表示手段の走査線毎に表示データを発生する表示データ発生手段と、前記表示データ発生手段にて発生された表示データを所定の各画素に駆動データとして配分する N (N は2以上の整数)組に組み分けされた駆動手段と、隣接する走査線間で表示データの異なる画素を検出する検出手段とを具備し、直近の走査線上で表示される表示データと異なる表示データが表示される1以上の画素を含む組に対してのみ、前記表示データ発生手段から前記駆動手段へ表示データが送出されることを特徴とする。
- 10 本発明の上記構成によれば、表示装置に表示される直上の走査線で表示される像と今回表示しようとしている走査線間で表示データに違いがなければ、表示データの伝送を停止するので、伝送線路や表示体駆動のための回路の動作を停止することが可能となり、装置の消費電力を著しく低減できる。特に、走査線間の表示データの相関は強く、
- 15 また1走査線も何組かに分離する構造をとるので、フレーム毎の制御に比較し大幅な効果がある。

本発明の一態様に係る表示装置は、前記駆動手段の各組には、符号多重のための符号が割り振られており、前記表示データ発生手段から前記駆動手段への表示データの伝送は、前記符号により前記駆動手段

20 のどの組へ送られたものかを指定することを特徴とする。

本発明の上記構成によれば、表示データの配信のためのアドレッシングは符号により行われるため、簡単な回路で実現が可能である上に、伝送レートを低減でき、また線路におけるひずみ等の障害に対しても耐性を強く出来る。伝送される信号の周波数成分は拡散され、EMI

25 対策についても大きな効果がある。

本発明の一態様に係る表示装置は、前記符号は直交符号であることを特徴とする。

本発明の上記構成によれば、符号分割多重に使用する符号は直交符号なので、各符号間の相関は完全に零にでき、多重化された画像信号

から各データを完全に分離復元することができる。

本発明の一態様に係る表示装置は、表示データを表示する表示手段と、前記表示手段に表示される表示データを分割し複数個 N （ N は1以上の整数）のシリアル信号として生成する分割手段と、前記シリアル信号の各々に異なる符号を乗算する複数の乗算手段と、前記乗算手段より出力される信号を電磁波信号に変換し送信する送信手段と、前記電磁波信号を受信する受信手段と、前記受信手段にて受信された受信信号と前記符号との相関を計算することにより、前記表示データを復元する復元手段と、前記復元手段により復元された信号に基づき前記表示手段を駆動する駆動手段とを具備することを特徴とする。

本発明のこの構成によれば、表示手段に伝送される表示データは符号分割多重され、電磁波信号として伝送されるので、従来の有線による高速大量データ伝送に伴う種々の問題を一気に排除できる。また、符号により拡散および多重するので伝送路が少なく済み、拡散符号を適当に選ぶことにより、無線周波数近くに信号のエネルギースペクトルを集中させることが可能となり、電磁波による無線伝送が容易に実現可能となる。さらに、少ない伝送線路数による伝送や、各々の伝送路に要求される周波数帯域の制限の緩和が可能になる。そのため、上記構成によって、信号の送受信の電磁波による無線化が可能となり、信号は空間を伝播して伝わるため、フレキシブル基板やコネクタといった配線の必要がなく、これらに起因するコスト高や信頼性の問題が無くなる。また、インピーダンスマッチングのための終端や、データ伝送速度の高速化に伴い上昇する消費電力の問題も回避できる。また、配線の引き回しや部品配置の制約がなくなり、電子装置のデザインや使い勝手を向上することができる。また、この電磁波による信号伝送は同一装置内の至近距離で行われるため、この距離内での通信が確保できさえすれば良く、放射電磁波の強度を限界まで下げることが出るので、EMI特性が本質的に改善され対策が容易になる。

本発明の一態様に係る表示装置の前記送信手段は、前記乗算手段の

出力信号を合成し前記Nより少ないシリアル信号に合成する合成手段と、前記合成手段より出力される信号を変調し所定の無線周波数に変調する変調手段と、前記変調手段からの出力を受けて電磁波を放射する送信アンテナとを具備することを特徴とする。

- 5 本発明の上記構成によれば、表示データ信号は多重化され、Nより少ない数の変調手段およびアンテナ手段により送信されるため、変調手段やアンテナ手段の数が少なくて済み、また多重化された各チャネルの信号のばらつきのレベルを小さく抑えることが可能となり、装置の実現を容易にする。

- 10 本発明の一態様に係る表示装置の前記送信手段は、前記乗算手段それぞれの出力信号を変調し所定の無線周波数に変調する複数の変調手段と、前記複数の変調手段のそれぞれの出力を受けて電磁波を放射する複数の送信アンテナとを具備することを特徴とする。

- 15 本発明の上記構成によれば、分割された表示データ信号は符号を乗算した後、合成することなく分割された信号毎に直接変調され、異なるアンテナから電磁波信号として放射され、信号の合成は空間にて行われるため、アナログ加算の必要な合成のための回路が不要となり、半導体集積回路による実現が容易になる。

- 20 本発明の一態様に係る表示装置の前記乗算手段より出力される信号は、電磁界エネルギーを放射するに十分な無線周波数成分を有し、前記乗算手段それぞれの信号を受けて電磁波を放射する複数の送信アンテナを備えることを特徴とする。

- 25 本発明の上記構成によれば、乗算手段により乗算される符号に十分な無線周波エネルギーを含むものを用いているので、乗算手段に変調手段の機能を兼ねることが可能となり、信号を無線周波数に変調する変調手段が不要となり、回路構成を簡略化できる。

本発明の一態様に係る表示装置の前記表示手段は、マトリックス状に配置された画素を有し、線順次走査により表示されることを特徴とする。

本発明の前記構成によれば、平面テレビジョンやノートブックコンピュータの表示など大型大容量の表示装置に実施が可能となる。

本発明の一態様に係る表示装置の前記分割手段は、各画素の画素データをビット毎に分割し、画素毎にシリアル出力することを特徴とする。

本発明の上記構成によって、従来並列に出力され伝送されるか、または並直変換し高速なシリアルデータとして伝送していた画素データを、画素毎の符号分割多重により伝送することが可能となり、またビット毎の転送速度を下げることができ、電磁波の伝送路に要求される条件を緩和できる。

本発明の一態様に係る表示装置の前記分割手段は、前記表示手段の列をN組に分割し、前記各組の画素信号を並列に出力することを特徴とする。

本発明の上記構成によって、表示の列をNに組分けしているので、組毎での制御が可能となる。特に、表示手段の駆動回路は列毎または行毎にいくつかの組分けし、半導体集積回路に実装されることが多いため、本発明による本構成は都合がよい。また、電磁波による符号分割多重による伝送を可能とし、ビット毎の転送速度を下げることで、電磁波の伝送路に要求される条件を緩和することも出来る。

本発明の一態様に係る表示装置は、マトリックス状に配置された画素を持つ表示手段と、前記表示手段に表示される表示データを複数のN（Nは1以上の整数）組の列毎に分割しシリアル信号として生成する分割手段と、前記シリアル信号の各々に異なる符号を乗算する乗算手段と、前記乗算手段の出力信号を合成し前記Nより少ないシリアル信号に合成する合成手段と、前記合成手段より出力される信号を電磁波信号に変換し送信する送信手段と、前記電磁波信号を受信し復調する復調手段と、前記復調手段の出力と前記符号との相関を計算することにより、前記表示データを復元する復元手段と、前記復元手段の出力信号を一時的に記憶する記憶手段と、前記記憶手段により記憶され

た信号に基づき前記表示手段を列毎に駆動する駆動手段とを具備することを特徴とする。

5 本発明による上記構成によれば、復元手段によって復元された表示データを一時的に記憶する記憶手段を表示手段側に有するため、該記憶手段により以前送出した表示データが同じである場合には、以前に送出され前記記憶手段に蓄えられている表示データを使用することにより、表示データの送出を停止することが可能となり、装置の消費電力低減を可能とする。

10 本発明の一態様に係る表示装置は、前記分割手段は、書き換えが必要な組に対してのみ表示データを出力することを特徴とする。

本発明による上記構成によれば、表示手段に対して伝送される画素データは書き換えが必要な部分に対してのみ行うことを可能とし、従って表示画像が静止していても、常にフレーム毎に画像データを転送更新する従来の方式に比べて、著しくその消費電力を減らすことが可能となる。

15 本発明の一態様に係る表示装置は、前記乗算手段に供給される符号を発生させる第1の符号発生回路と、前記復元手段に供給され、前記乗算手段に供給される符号と同一の符号を発生させる第2の符号発生回路とを備え、前記第1の符号発生回路と前記第2の符号発生回路とは同一のクロック信号にて同期が取られることを特徴とする。

本発明による上記構成によれば、受信側での拡散符号発生の同期のための信号を直接送信側から取得することが可能となる。このため、受信側で拡散符号発生の同期を取るための特別な回路が必要なくなり、同期捕捉を簡略化することができる。

25 本発明の一態様に係る表示装置は、マトリックス状に配置された画素を持ち、線順次走査により表示駆動される表示手段と、前記表示手段の走査線毎に表示データを発生する表示データ発生手段と、前記表示データ発生手段より出力される信号を電磁波信号に変換し送信する送信手段と、前記電磁波信号を受信し復調する復調手段と、前記復調

手段にて復調された表示データを所定の各画素に駆動データとして配
分するN（Nは1以上の整数）組に組み分けされた駆動手段と、隣接
する走査線間で表示データの異なる画素を検出する検出手段を具備し
、直近の走査線上で表示される表示データと異なる表示データが表示
5 される1以上の画素を含む組に対してのみ、前記表示データ発生手段
から前記駆動手段へ表示データが送出されることを特徴とする。

本発明の上記構成によれば、表示装置に表示される直上の走査線で
表示される像と今回表示しようとしている走査線間で表示データに違
いがないければ、表示データの伝送を停止するので、伝送線路や表示体
10 駆動のための回路の動作を停止することが可能となり、装置の消費電
力を著しく低減できる。特に、走査線間の表示データの相関は強く、
また1走査線も何組かに分離する構造をとるので、フレーム毎の制御
に比較し、大幅な効果がある。

本発明の一態様に係る表示装置は、前記駆動手段の各組には、符号
15 多重のための符号が割り振られており、前記表示データ発生手段から
前記駆動手段への表示データの伝送は、前記符号により前記駆動手段
のどの組へ送られたものかを指定することを特徴とする。

本発明の上記構成によれば、表示データの配信のためのアドレシン
グは符号により行われるため、簡単な回路で実現が可能である上に、
20 伝送レートを低減でき、また線路におけるひずみ等の障害に対しても
耐性を強く出来る。伝送される信号の周波数成分は、拡散されEMI
対策についても大きな効果がある。

本発明の一態様に係る表示装置の前記符号は、直交符号、位相がシ
フトされた同一のPN符号または位相がシフトされオフセットが加え
25 られた同一のPN符号であることを特徴とする。

本発明の上記構成によれば、符号分割多重に使用する符号が直交符
号の場合、各符号間の相関は完全に零に出来るため、多重化された画
像信号から各データを完全に分離復元することが出来る。また、符号
分割多重に使用する符号がPN系列の場合、同一符号を用いても、符

号位相が異なれば、相関は非常に小さく出来るため、一つの符号を用いての多重化が可能となり、多重化された画像信号から各データを分離復元することが出来る。

5 図面の簡単な説明

図 1 は、本発明の一実施例の要部を示すブロック図である。

図 2 は、本発明の一実施例の多重化およびその復元回路部分を示すブロック図である。

図 3 は、本発明の一実施例の動作を示すタイム図である。

10 図 4 は、本発明の他の実施例の復元回路部分を詳述するブロック図である。

図 5 は、本発明のさらに他の実施例を示すブロック図である。

図 6 は、本発明のさらに他の実施例を示すブロック図である。

図 7 は、本発明のさらに他の実施例の要部を示すブロック図である

15 。

図 8 は、本発明のさらに他の実施例の多重化およびその復元回路部分を示すブロック図である。

図 9 は、本発明のさらに他の実施例の動作を示すタイム図である。

20 図 10 は、本発明のさらに他の実施例の要部を示すブロック図である。

図 11 は、本発明のさらに他の実施例の要部を示すブロック図である。

図 12 は、本発明のさらに他の実施例の要部を示すブロック図である。

25 図 13 は、本発明のさらに他の実施例の要部を示すブロック図である。

図 14 は、本発明の一実施例のさらに他の動作を示すタイム図である。

図 15 は、従来の液晶表示体を持つ表示装置を説明するブロック図

である。

図 1 6 は、従来の液晶表示体を持つ表示装置の動作を説明するタイム図である。

5 発明を実施するための最良の形態

以下、本発明の実施形態を図面を使って説明する。

[実施例 1]

図 1 は本発明による表示装置の実施例の要部を示す図である。なお、図 1 では、表示素子としてアクティブマトリックス型液晶表示体を用いた表示装置の典型的なブロック図を例示する。

図 1 に示すように、CPU 1 0 1 は本体部 1 3 1 の指示に従って表示すべき画像データを生成し、ビデオメモリ 1 0 2 に書き込む。本体部 1 3 1 は、ここではテレビジョンにおけるチューナーや復調部を含む本体回路や DVD プレーヤ再生部など、コンピュータの入出力装置などを含む本体部を意味する。CPU 1 0 1 は、本体部 1 3 1 の信号を受け、その画像信号や、JPEG や MPEG などの圧縮画像や動画データからの伸張や演算により表示すべき画像データを生成し、ビデオメモリ 1 0 2 に蓄え、必要に応じて順次書き換え更新する。

液晶コントローラ 1 0 3 は、液晶表示に必要な各種タイミング、すなわち X ドライバ 1 1 3 の X クロック信号 1 1 5、水平同期信号 1 1 4、垂直同期信号 1 1 8 を生成し、またビデオメモリ 1 0 2 から表示すべき順序に沿って表示データを読み出す。このとき、表示データはビデオメモリ 1 0 2 から画素毎にビット並列のシリアルデータとして読み出され表示データ信号 1 1 6 として出力される。

ここで、本体部 1 3 1 側には、表示データの各ビットにそれぞれ対応した乗算回路 1 1 9 - 1、1 1 9 - 2、・・・、1 1 9 - N が設けられ、各乗算回路 1 1 9 - 1、1 1 9 - 2、・・・、1 1 9 - N には、拡散符号 C_k ($k = 1, 2, \dots, N$) がそれぞれ供給される。そして、この表示データ信号 1 1 6 の各々のビットは拡散符号 C_k (

$k = 1, 2, \dots, N$) と乗算回路 119-1、119-2、 \dots 、119-N でそれぞれ乗算され、加算回路 120 によりアナログ加算され、多重信号 122 として液晶表示体 108 側に送出される。

ここで、液晶表示体 108 側には、表示データの各ビットにそれぞれ
5 対応した相関回路 121-1、121-2、 \dots 、121-N が設けられ、各相関回路 121-1、121-2、 \dots 、121-N には、拡散符号 C_k ($k = 1, 2, \dots, N$) がそれぞれ供給される。そして、液晶表示体 108 側では、送信側で多重信号 122 に乗算された拡散符号と同じ拡散符号 C_k ($k = 1, 2, \dots, N$) の
10 相関を相関回路 121-1、121-2、 \dots 、121-N にてそれぞれ計算し、画素毎のビット並列のシリアルデータに復元し、ラッチ 105 に送出する。なお、多重信号 122 の復元は、整合フィルタを用いるなどの方法でも実現可能である。整合フィルタを用いた場合は、拡散符号との同期手順が簡略化できる。

15 Xドライバ 113 は液晶表示体 108 の画素が n 行 m 列で構成される場合、 m 段の X シフトレジスタ 104、 m ワードのラッチ 105 および m 個の DA 変換器 106 から構成される。この m 段の X シフトレジスタ 104、 m ワードのラッチ 105 および m 個の DA 変換器 106 は通常複数組に分割されて、半導体集積回路上に集積され、液晶表
20 示体 108 の周囲に配置される。

液晶コントローラ 103 は、表示フレームの先頭の画素を読み出すとき、垂直同期信号 118 を発生し、Yドライバ 107 に送出する。このとき同時に、1 行 1 列目の画素に表示するデータが相関回路 121-1、121-2、 \dots 、121-N により画素毎の並列データ
25 として復元され、ラッチ 105 にラッチされる。以下順次 X クロック信号 115 が入るごとに X シフトレジスタ 104 より発生されるラッチ 105 の読み込みクロックを列方向シフトしラッチしていく。

従来は、表示データ信号 116 は画素毎にたとえば RGB 各 8 ビットあって、それらは 24 本の伝送路を使って並列に 24 ビットの並列

データとして伝送するか、または並直変換の後、24倍の伝送レートで伝送されていたが、図1の実施形態によれば、この信号は多重信号122として符号多重化されているため、伝送路は1本でよい。もちろん、この例では、表示データ信号116の24ビット分すべてを一本に多重化しているが、例えば、表示データ信号116を8ビットづつ多重化し、3本の伝送路で伝送しても良い。このような場合でも、信号の伝送路は大幅に少なく出来る。また、表示データ信号116の各ビット線当たりの伝送レートは、従来の24本の信号線を引いた場合と同じで、並直変換による多重化のように24倍に高くなるわけではないことに注意されたい。

図2は本発明による表示装置の表示データ信号の多重化およびその復元、すなわち図1の乗算回路119-1、119-2、・・・、119-N、加算回路120および相関回路121-1、121-2、・・・、121-Nの部分の例をより詳細に説明する図である。

図2において、図1の液晶コントローラ103により読み出された表示データ信号116は画素毎にビット並列化されており、端子209に出力される。表示データのそれぞれのビットは、乗算回路202-1、202-2、・・・、202-Nによって拡散符号発生回路201により発生される拡散符号 C_k ($k=1, 2, \dots, N$)のそれぞれと乗算され、加算回路203によりアナログ的に加算され、多重信号214として、図1の液晶表示体108側に送出される。乗算回路202-1、202-2、・・・、202-Nの入力はデジタルの2値であり、拡散符号 C_k も2値であれば、乗算回路202-1、202-2、・・・、202-Nは排他的論理和回路で構成できる。

加算回路203の出力は多値となるため、アナログ加算が必要である。加算回路203では、乗算回路202-1、202-2、・・・、202-Nの出力論理1のとき-1V、論理0のとき1Vを対応させ、アナログ加算する。

液晶表示体108側に伝送された多重信号214は、拡散符号発生

回路 204 によって発生された送信側で使した拡散符号と同一の拡散符号 C_k ($k = 1, 2, \dots, N$) のそれぞれと乗算回路 206-1、206-2、 \dots 、206-N によって乗算される。これらの乗算信号は、積分回路 207-1、207-2、 \dots 、207-N により 1 シンボル区間に渡ってそれぞれ積分され、判定回路 208-1、208-2、 \dots 、208-N によってビット 1 または 0 がそれぞれ判定され、表示データ 210 として出力され、図 1 のラッチ 105 に送出される。

乗算回路 206-1、206-2、 \dots 、206-N は一方の入力が多値信号なので、もはや排他的論理和回路は使用できず、平衡変調回路のようなアナログ乗算回路が使用される。また、この部分では、AD 変換後のすべての処理をデジタル化することも可能であり、後述する。

この実施例では、送信側で用いた拡散符号 C_k は受信側でも同一の拡散符号 C_k を同期して使用しないと、受信側ではデータを正しく復元できない。従来の拡散符号による多重化通信では、受信側で拡散符号発生との同期を取るための特別な回路を必要としたが、本実施例のように送受信端が至近距離にある場合は同期のための信号は直接送信側から取得すればよい。本実施例では、同一のチップクロック 211 を使用し、水平同期信号 213 により拡散符号発生回路 201、204 をリセットし、同期を取っている。このような構成をとることにより、同期捕捉が著しく簡略化できる。分周回路 205 は、チップクロック 211 を分周して 1 シンボル区間毎に信号を発し、積分回路 207-1、207-2、 \dots 、207-N および判定回路 208-1、208-2、 \dots 、208-N をリセットする。チップクロック 211 は拡散符号の 1 チップに相当する周期のクロック信号であり、通常チップクロック 211 の周波数は高くなる。このため、チップクロック 211 を送らずに、図 1 の液晶表示体 108 側でたとえば水平同期信号 213 を逡倍し、PLL 等の手段で再生したり、また X クロ

ク信号 1 1 5 のような画素毎のクロック信号を送って、受信側で逡倍し、再生してもよい。

図 2 の一点鎖線 2 1 5 - 2 1 5 ' は、本体 1 3 1 側と液晶表示体 1 0 8 側を分離する境界で、この境界を通過する伝送線路は物理的な長さ
5 さを要し、良好な伝送特性が求められるため、数が多いと実施が困難となる。この境界を通過して伝送される線路は、本実施例では多重信号 2 1 4、チップクロック信号 2 1 1、水平同期信号 2 1 3 等であり、それぞれの線路には広い帯域が要求されない。従って、実施上の困難は取り除かれ、少ないコストで容易に実現が可能となる。

10 図 3 は本発明の動作を簡略的に説明するタイム図である。同図 (a) は送信側での多重化プロセスを説明し、同図 (b) は受信側での復元プロセスを示している。ここでは簡単のために、多重数を 3 として説明しているが、実際は拡散符号長を長くし、多重数をずっと大きく取る。なお、同図において、 t_b は 1 シンボルが伝送されるシンボル
15 区間、 t_c がチップ周期であり、 t_b / t_c を拡散率 (S F : S p r e a d F a c t o r) という。また $1 / t_c$ はチップ周波数である。

図 3 (a) の b_1 、 b_2 、 b_3 は、液晶コントローラ 1 0 3 にてビデオメモリ 1 0 2 より読み出された表示データである。 C_1 、 C_2 、 C_3 は拡散符号発生回路 2 0 1 により発生された拡散符号であり、それぞ
20 れ b_1 、 b_2 、 b_3 に乗算回路 2 0 2 - 1、2 0 2 - 2、 \dots 、2 0 2 - N によって乗算され $b_1 C_1$ 、 $b_2 C_2$ 、 $b_3 C_3$ を発生する。ここで C_1 、 C_2 、 C_3 および b_1 、 b_2 、 b_3 はデジタルの 2 値信号として、論理 1 および 0 をもって図示している。また、 $b_1 C_1$ 、 $b_2 C_2$ 、 $b_3 C_3$ は、論理 1 のとき - 1、論理 0 のとき 1 を対応させ、乗算をした結果である。 b_k と C_k の排他的論理和をとり、その出力が論理
25 1 のときアナログ値 - 1、論理 0 のときアナログ値 1 を対応させると考えてもよい。 $b_1 C_1$ 、 $b_2 C_2$ 、 $b_3 C_3$ は、加算回路 2 0 3 によりアナログ的に加算され、多重信号 S を出力する。すなわち $S = b_1 C_1 + b_2 C_2 + b_3 C_3$ であり、この信号が多重信号 2 1 4 として液晶

表示体 108 側に伝送される。

液晶表示体 108 側では、図 3 (b) に示すように、多重信号 S に送信側と同一の拡散符号 C_1 、 C_2 、 C_3 を乗算回路 206-1、206-2、 \dots 、206-N によりそれぞれ乗算して、 SC_1 、 SC_2 、 SC_3 を生成し、積分回路 207-1、207-2、 \dots 、207-N により時間 t_b にわたってそれぞれ積分する。各々の積分結果も同図 (b) 内に示してある。判定回路 208-1、208-2、 \dots 、208-N は積分結果がスレッシュホールドレベル V_t 以上ならば論理 0、 V_t 以下ならば論理 1 と判定することにより、元の表示データ信号 116 を復元できる。同図では、ノイズの全くない環境での模式的なものであるので、積分結果が ± 4 となっているが、拡散符号の直交性が悪かったり、ノイズのある環境では、このように明確な弁別が出来ないので、 V_t を適当に決めて弁別を行う。

ところで、拡散符号により多重化された信号 1 ビットは 1 シンボル区間 t_b の時間で伝送される。これは従来の伝送線を複数用いて並列に表示データを伝送した場合の 1 信号線当たりの伝送と同じ速度である。従来例の説明で用いた 1920×1080 画素の表示体において、RGB それぞれ 8 ビット計 24 ビットを毎秒 60 フレーム分だけ送る場合を例にとり、24 ビットを多重化すると、各ビットは、
 $1920 \times 1080 \times 60 \div 24 = 124.4 \text{ Mbps}$
の速度で伝送されることになるが、実際は多重化のために SF 倍に拡散されている。

24 ビットを多重化して送り、受信側で完全に分離するためには少なくとも SF は 24 以上必要である。このことを考慮すると、拡散のチップレートは上記の SF 倍すなわち従来と同じ値の約 3 Gcps となり、何ら効果のないものと思われるかもしれない。

しかしながら、従来のようにすべてをシリアルデータとして伝送する場合に比較すると、本実施例では、伝送路に要求される帯域が狭くて良く、設計は容易である。すなわち、従来例では、表示データ信号

は全画面黒または白の場合のDCから、ドットごとの市松模様などの場合の最高周波数（上記例では約1.5GHz）までの非常に広範な周波数帯域にわたり一様な伝送特性が要求されるのに対し、本実施例の場合に要求される帯域は、高々チップ周波数を中心として上下にシンボル周波数程度の帯域に伝送に必要なエネルギーの大部分が集中するため、伝送線路に大きな比帯域を必要としない。このことは伝送線路に要求される特性を著しく緩和し、実現を容易とする。また、従来の例では、約3GHzの1周期内で1ビットが伝送されるため、シンボル間での干渉を受けやすい。さらに、従来の例では、伝送路の曲がりやミスマッチなどによる反射などに対しての耐性が弱い。

一方、本実施例では、従来の例に対して1ビットが送られる時間が従来のSF倍長いために、従来の例と同じ量の反射などによる妨害があっても、シンボル間干渉は著しく緩和される。また、符号多重の特性として、このようなマルチパスによるひずみはRAKE手法などにより除去することも可能である。

以上述べたように、伝送路における符号のチップレートが、従来の全シリアル伝送の場合の転送クロック周波数と同じであったとしても、伝送路に要求される仕様は著しく緩和され、実現が容易になるのである。

さらに、従来の例では、表示される表示内容が特定パターンのとき、表示データ信号1816に特定の周波数で非常に強いスペクトルを持つ場合がある。このことは機器から発生する不要放射すなわちEMI規制の観点から非常に不利となるが、本実施例によれば、表示データ信号116は常に拡散符号により拡散されているため、特定の周波数で強いスペクトルを生じることがなく、EMI対策の点からも大いに有利になるという効果もある。また、例えば、多重信号線路を3本にしてR、G、B各々8ビットずつ多重化すれば、24本の表示データ信号線路を3本に減らすことが出来て、各線路のチップ周波数もそれほど高くならずより現実的かもしれない。

〔実施例 2〕

図 4 は本発明にかかる他の実施例の要部を示す図であり、実施例 1 における多重信号 1 2 2 から元の表示データ信号 1 1 6 を復元するための他の方法を示している。

5 図 4 において、端子 3 0 1 に入力される多重信号 1 2 2 は A D 変換器 3 0 2 により A D 変換され、デジタル信号に変換される。拡散符号発生回路 3 0 4 は端子 3 0 6 に入力されるチップクロックを受けて、送信側と同一の拡散符号を発生する。C P U 3 0 3 は A D 変換器 3 0 2 でデジタル信号に変換された多重信号 1 2 2 と、拡散符号発生回路
10 3 0 4 で発生した拡散符号との相関を計算し、多重信号 1 2 2 から表示データ信号 1 1 6 を復元し、端子 3 0 8 に出力する。C P U 3 0 3 および拡散符号発生回路 3 0 4 は、水平同期信号 3 0 9 により同期が取られる。また、分周回路 3 0 5 によりチップクロック信号を $1/S$ F に分周し、X シフトレジスタのクロック信号 3 0 7 (X クロック信号)
15 号) を発生する。

このような構成をとることにより、アナログ回路を最小化でき、集積回路への搭載が容易になる。A D 変換器 3 0 2 は、2 4 多重しても、高々 5 ビットの分解能があればよく、実現は容易である。

〔実施例 3〕

20 図 5 は本発明による表示装置のさらに他の実施例の要部のブロック図を示す図である。なお、図 1 と同じ番号が振られているブロックの機能は実施例 1 と同じため説明は省略する。

図 5 において、X ドライバ 5 1 3 は N 組に組み分けされ、それぞれ X シフトレジスタ 5 4 3 - 1、・・・、5 4 3 - N、ラッチ 5 4 4 -
25 1、・・・、5 4 4 - N、D A 変換器 5 4 5 - 1、・・・、5 4 5 - N で構成される。通常 X ドライバ 5 1 3 および Y ドライバ 1 0 7 は複数に分割され、集積回路に収められて縦続接続して使用される。N 組への組分けは、このドライバ集積回路単位と考えてもよいし、一つのドライバ集積回路に複数の組が存在しても良い。また逆に複数の集積

回路によって1組を構成することも可能である。Xドライバ513の各組には、相関回路541-1、・・・、541-Nおよび拡散符号発生回路542-1、・・・、542-Nが組ごとに組み込まれている。Xドライバ513の各組には、それぞれ各組に固有の拡散符号セット $S_p = \{C_{p,k}\}$ ($p = 1, 2, \dots, N$) が割り振られており、
5 拡散符号発生回路542-1、・・・、542-Nは、この割り振られた拡散符号セットを発生する。すなわち、p組目の拡散符号発生回路542-pは、符号セット S_p の各符号を発生する。各組の拡散符号セット間の相関は小さく設計する。また、符号セット内の各符号間
10 の相関も小さく設計することは言うまでもない。どちらも完全に相関が0すなわち直交符号系を使用するのが理想的である。

以下説明のために、p組目 ($p = 1, 2, \dots, N$) のq列 ($q = 1, 2, \dots, n/N$) の表示データを $D_{p,q}$ とする。 $D_{p,q}$ は色や階調に関する情報を有し、すなわちRGB各8ビットづつのように
15 複数ビットから構成される。各 $D_{p,q}$ のk番目のビットを b_k とする。

Xドライバ513側の拡散符号発生回路542-1、・・・、542-Nが自組に割り振られた符号セットのみ発生するのに対して、送信側の拡散符号発生回路501は必要に応じて使用されるすべての拡散符号セットを発生する。液晶コントローラ103はビデオメモリ1
20 02から表示する表示データを読み出し、多重化回路503へ出力する。多重化回路503では、その表示データの表示される画素がどの組のXドライバ513によって駆動されるかに基づいて拡散符号セットを選択して、その拡散符号セットによって表示データ信号116を多重化して多重信号122を発生する。すなわち、p組目のXドライ
25 バ513に送出される表示データ信号116は符号セット S_p により多重化する。信号の受信側すなわちXドライバ513の各組では、拡散符号は自分の組の拡散符号しか発生せず、他の組へ送出された表示データ信号116は復元できないので、表示データ信号116の行き先が正しく決定される。画像の表示において、走査線間やフレーム間

の相関は大きく、前回送信した表示データ信号 1 1 6 を更新する必要がない場合が多い。液晶コントローラ 1 0 3 は、1 本前の走査線上の表示データと今回送出しようとしている表示データを比較し、表示データの異なる部分がある組へのみ表示データを送出する。液晶表示体

5 1 0 8 側では、相関回路 5 4 1 - 1、 \dots 、5 4 1 - N が表示データ信号 1 1 6 を検出できなかった組は、表示データ信号 1 1 6 に変更の必要がなかったと判断し、その組に所属する X シフトレジスタ 5 4 3 - 1、 \dots 、5 4 3 - N、ラッチ 5 4 4 - 1、 \dots 、5 4 4 - N および D A 変換器 5 4 5 - 1、 \dots 、5 4 5 - N の動作を停止し

10 、出力を変更せず、一本前の走査線の表示データを出力しつづける。このようにして、更新の必要ない組への表示データ送出動作を停止できるので、機器の消費電力を大幅に減らすことが可能となる。

すなわち、上記のような構成をとることにより、表示データ信号 1 1 6 の送り先は組毎に拡散符号にてアドレッシングされるので、拡散符号

15 号を変えることにより表示データ信号 1 1 6 の送り先を指定することが可能となる。このため、本実施例によるこの構成によって、表示データ信号 1 1 6 を書き換える必要がない組に対しては、データ送信を停止し、低消費電力化が可能となる。

また、X ドライバ 5 1 3 の組の数（すなわち N）は大きくするほど

20 、表示データ信号 1 1 6 の送信／停止の制御がきめ細かく実行でき、消費電力化の効果も大きくなる。最も N を大きくした場合は、 $N = n$ （横方向の画素数）である。しかし、あまり N を大きくすると、符号長が長くなり、多重化／復元の演算量が増加するというトレードオフがある。

25 表示データ信号 1 1 6 の送出順序は、 D_{11} 、 D_{12} 、 \dots 、 D_{1N} 、 D_{21} 、 D_{22} 、 \dots 、 D_{2N} 、 \dots のように、左から右に画素毎に各ビット b_k （ $k = 1, 2, \dots$ ）を多重化しても良いし、 D_{11} 、 D_{21} 、 \dots 、 D_{N1} の各 b_1 を多重化し、続いて各 b_2 が多重化されるようにビット毎に多重化して送出して 1 画素目が終了した後、2 画

素目すなわち D_{22} 、 D_{22} 、 \dots 、 D_{N2} の b_1 を多重化し、続いて b_2 を多重化するようにしても良い。各組および各ビットは、拡散符号によってアドレスできるので、送出順序は任意に変更可能である。前者の方法では、ビデオメモリ 102 から読み出した表示データ信号 116 を並べ替え無しに送出できる利点はあるが、データ更新の必要のない組に対して無信号の期間が存在するため、ビット転送レートが高い。後者の方法では、液晶コントローラ 103 が組毎の画素のデータを読み出し、一旦蓄えてビット毎に並べ替えて出力しなければならないが、ビットあたりの転送速度を下げる事が出来る。

10 [実施例 4]

図 6 は本発明によるさらに他の実施例を説明する図で、図 5 において、X ドライバ 513、相関回路 541-1、 \dots 、541-N、拡散符号発生回路 542-1、 \dots 、542-N の各組に相当する部分を図 6 のように置き換える。なお、図 6 では、1 組のみ示している。

本実施例は、表示画像のフレーム間の相関を利用して表示データ信号 116 の転送を減らすために、液晶表示体 108 側にフレームメモリ 643 を置き、表示が静止しているときは、表示データ信号 116 の転送を行わず、フレームメモリ 643 に記憶されたデータを利用する。

以下、図 5 の X ドライバ 513 等の部分を図 6 の構成で置き換えて説明する。

図 5 において、液晶コントローラ 103 はビデオメモリ 102 の内容が書き換えられると、書き換えられたデータを表示する画素を持つ組に割り当てられた拡散符号セットを用いて多重化回路 503 にて多重化し、多重信号 122 として液晶表示体 108 側（図 6 の端子 603）に送出する。

なお、液晶コントローラ 103 は、CPU 101 からのビデオメモリ 102 への制御（ビデオメモリ 102 のライトパルスやアドレスバ

ス)を監視することにより、ビデオメモリ102がCPU101により書き換えられたことを検出できる。また、CPU101は、MPEGの伸張などでは、その圧縮伸張アルゴリズムからフレーム毎に書き換えが必要な部分が検出できる。

5 CPU101は、このようにして検出できた書き換え部分を液晶コントローラ103に直接知らせてもよい。なお、図5では、このための信号経路は省略されている。そして、液晶コントローラ103が発生する垂直同期信号118および水平同期信号114に同期させて、書き換えのあった画素の表示データ信号116のみを送出する。

10 ここで、ビデオメモリ102に書き換えがある度に表示データ信号116を送出しても良いが、通常、CPU101のビデオメモリ102への書き換えの方が液晶表示体108側で表示データを必要とするタイミングよりもずっと速いため、水平同期信号114および垂直同期信号118に同期して、液晶表示体108が表示データを必要とする直前に送出的方がよい。

また、拡散符号によるアドレッシングによりすべての画素をアドレスするには、非常に長い拡散符号が必要になる。このため、同期信号に同期してデータを送出することにより、例えば、行アドレス、組内におけるX方向の画素アドレスなどは同期信号からのタイミングから
20 算出することで、指定すべきアドレスビット数を減らし、短い拡散符号での動作を可能とするのがよい。

液晶表示体108側のXドライバ513の各組に内蔵された相関回路641は自組に割り当てられた拡散符号セットと相関を計算し、自組に送出された表示データ信号116を復元し、フレームメモリ64
25 3に蓄える。液晶コントローラ103の発生するそのような表示データが送られてこない場合は、フレームメモリ643に蓄えられている前フレームの表示で使用された表示データを更新せずに、前回のデータが保存されている。

そして、コントローラ602は、端子606に入力されるチップク

ロック 505 ならびに端子 604、605 にそれぞれ入力される水平同期信号 114 および垂直同期信号 118 に同期して、拡散符号発生回路 642 の同期を取るとともにタイミングを制御して、液晶表示体 108 の動作に合わせてラッチ 644 および DA 変換器 645 の制御
5 を行う。すなわち、ラッチ 644 はコントローラ 602 により出力されるタイミングに合わせて、次に表示すべき走査線上の表示データをフレームメモリ 643 から読み出して保持する。そして、次の水平同期信号 114 が入力されると、コントローラ 602 は DA 変換器 645 を起動し、ラッチ 644 に保持されたデータに従って液晶表示体 1
10 08 に駆動電圧を出力し表示する。

以上の実施例では、前フレームで表示されたデータを保持するためにフレームメモリ 643 を用いる方法について説明したが、液晶表示体 108 の画素毎のキャパシタンスなどによって画素自体にその保持機能がある場合は、フレームメモリ 643 を省略することも可能である。
15

本実施例による上記構成によれば、表示装置において、非常に高い周波数成分を含み高速なデータ転送が必要な表示データの伝送におけるさまざまな困難を軽減できる。拡散符号により信号を多重化できるので、伝送に必要な線路数を減らすことが出来る。また、表示データ
20 に含まれる周波数帯域を狭くすることが可能であり、線路設計を容易にする。さらに、強いスペクトルピークが空間周波数に現れるような画像パターンの表示においても、表示データは拡散符号により周波数拡散されるため、強いスペクトルピークが特定の周波数に現れるようなこともない。このことは、EMI 対策において著しい効果がある。
25 さらに、拡散符号によりデータのアドレッシングができるので、特別なアドレッシングの手段無しに、データの送り先が指定できる。これによって、ビデオメモリ 102 から液晶表示体 108 へのデータ転送を表示内容が変化した時にのみ行うことが可能となり、表示装置の消費電力の低減に著しい効果がある。

〔実施例 5〕

図 7 は本発明による表示装置の実施例の要部を示す図である。なお、図 7 では、表示素子としてアクティブマトリックス型液晶表示体を用いた表示装置の典型的なブロック図を例示する。

- 5 図 7 に示すように、CPU 1101 は、本体部 1131 の指示に従って表示すべき画像データを生成し、ビデオメモリ 1102 に書き込む。本体部 1131 は、ここではテレビジョンにおけるチューナーや復調部を含む本体回路や DVD プレーヤ再生部など、コンピュータの入出力装置などを含む本体部を意味する。CPU 1101 は、本体部
- 10 1131 の信号を受け、その画像信号や、JPEG や MPEG などの圧縮画像や動画データからの伸張や演算により表示すべき画像データを生成し、ビデオメモリ 1102 に蓄え、必要に応じて順次書き換え更新する。液晶コントローラ 1103 は、液晶表示に必要な各種タイミング、すなわち拡散符号のチップクロック信号 1127、水平同期
- 15 信号 1114、垂直同期信号 1118 を生成し、またビデオメモリ 1102 から表示すべき順序に沿って表示データを読み出す。このとき、表示データはビデオメモリ 1102 から画素毎にビット並列のシリアルデータとして読み出され、表示データ信号 1116 として出力される。
- 20 ここで、本体部 1131 側には、表示データの各ビットにそれぞれ対応した乗算回路 1119-1、1119-2、・・・、1119-N が設けられ、各乗算回路 1119-1、1119-2、・・・、1119-N には、拡散符号 C_k ($k=1, 2, \dots, N$) がそれぞれ供給される。そして、この表示データ信号 1116 の各々のビット
- 25 は、拡散符号 C_k ($k=1, 2, \dots, N$) と乗算回路 1119-1、1119-2、・・・、1119-N にてそれぞれ乗算され、加算回路 1120 によりアナログ加算され、多重信号 1122 として変調回路 1123 により変調され、送信アンテナ 1125 より電磁波（電波）信号として液晶表示体 1108 側に送出される。

ここで、液晶表示体 1 1 0 8 側には、表示データの各ビットにそれぞれ対応した相関回路 1 1 2 1-1、1 1 2 1-2、・・・、1 1 2 1-N が設けられ、各相関回路 1 1 2 1-1、1 1 2 1-2、・・・、1 1 2 1-N には、拡散符号 C_k ($k=1, 2, \dots, N$) がそれぞれ供給される。そして、液晶表示体 1 1 0 8 側では、受信アンテナ 1 1 2 6 にて受信された電磁波信号を復調回路 1 1 2 4 により多重信号 1 1 2 2 に復調する。そして、復調された多重信号 1 1 2 2 は、送信側で乗算された拡散符号と同じ拡散符号 C_k ($k=1, 2, \dots, N$) の相関が相関回路 1 1 2 1-1、1 1 2 1-2、・・・、1 1 2 1-N にてそれぞれ計算され、画素毎のビット並列のシリアルデータに復元され、ラッチ 1 1 0 5 に送出される。なお、多重信号 1 1 2 2 の復元は、整合フィルタを用いるなどの方法でも実現可能である。整合フィルタを用いた場合は、拡散符号との同期手順が簡略化できる。

ここで、拡散符号 C_k ($k=1, 2, \dots, N$) はそれぞれチップ周期 t_c と呼ばれる時間単位で変化する時間関数であり、異なる拡散符号間で低い相関を持つような符号を選択して用いる。すなわち、 t_c を単位として i 番目の C_k の値を $C_k(i)$ と書き、任意の 2 種の拡散符号 $C_k, C_{k'}$ をとり、以下のような計算を実行した場合、

$$R = \sum C_k(i) C_{k'}(i)$$

すなわち、相関の計算を実行した場合（総和は 1 シンボル区間に渡り計算するものとする。）、 k および k' が異なるときに、 R の絶対値がゼロに近い値を取るように拡散符号 $C_k, C_{k'}$ を設定する。なお、 $R=0$ となる場合は、これら 2 種の拡散符号 $C_k, C_{k'}$ は直交していると言う。直交している拡散符号 $C_k, C_{k'}$ を使用すると、受信側では、多重信号 1 1 2 2 が完全に分離できる。

X ドライバ 1 1 1 3 は、液晶表示体 1 1 0 8 の画素が n 行 m 列で構成される場合、 m 段の X シフトレジスタ 1 1 0 4、 m ワードのラッチ 1 1 0 5 および m 個の D/A 変換器 1 1 0 6 から構成される。この m 段

のXシフトレジスタ1104、mワードのラッチ1105およびm個のDA変換器1106は、通常複数組に分割されて半導体集積回路上に集積され、液晶表示体1108の周囲に配置される。液晶コントローラ1103は、表示フレームの先頭の画素を読み出すとき、垂直同期信号1118を発生しYドライバ1107に送出する。このとき同時に、1行1列目の画素に表示するデータが相関回路1121-1、1121-2、・・・、1121-Nにより画素毎の並列データとして復元され、ラッチ1105にラッチされる。以下順次Xクロック信号1115が入るごとに、Xシフトレジスタ1104より発生されるラッチ1105の読み込みクロックを列方向シフトしラッチしていく。(Xクロック信号1115の発生方法は後述する。)

従来では、表示データ信号1116は画素毎にたとえばRGB各8ビットあって、それらは24本の伝送路を使って並列に24ビットの並列データとして伝送するか、または並直変換の後、24倍の伝送レートで伝送されていた。

一方、本実施例によれば、表示データ信号1116は多重信号1122として符号多重化されて、電磁波信号として空間を伝搬する。もちろん、この例では、24ビット分をすべて一本に多重化しているが、例えば8ビットづつ多重化して3チャンネルとし、たとえば異なる周波数を用いて伝送しても良い。このような場合でも、電磁波信号の発生／復元の回路をそれほど大きくせずに実現することが出来る。また、24ビットをすべて一本に多重化しても、表示データ信号1116の各ビット線あたりの伝送レートは従来の24本の信号線を引いた場合と同じで、並直変換による多重化のように24倍に高くなるわけではないことに注意されたい。

図8は、本発明による表示装置の、図7における表示データ信号1116の多重化およびその復元、乗算回路1119-1、1119-2、・・・、1119-N、加算回路1120および相関回路1121-1、1121-2、・・・、1121-Nの部分の例をより詳細

に説明する図であり、またXクロック信号1115の発生方法も説明する。

図7において、液晶コントローラ1103により読み出された表示データ信号1116は画素毎にビット並列化されており、図8の端子1209に出力される。表示データ信号1116のそれぞれのビットは、拡散符号発生回路1201により発生される拡散符号 C_k ($k = 1, 2, \dots, N$)のそれぞれと各乗算回路1202-1、1202-2、 \dots 、1202-Nにて乗算され、加算回路1203によりアナログ的に加算され、多重信号1214として変調回路1216に送られ、送信アンテナ1218より電磁波信号として液晶表示体1108側に送出される。乗算回路1202-1、1202-2、 \dots 、1202-Nの入力はデジタルの2値であり、拡散符号 C_k も2値であれば、乗算回路1202-1、1202-2、 \dots 、1202-Nは排他的論理和回路で構成できる。加算回路1203の出力は多値となるため、アナログ加算が必要である。乗算回路1202-1、1202-2、 \dots 、1202-Nの出力論理1のとき、-1V、論理0のとき、1Vを対応させアナログ加算する。

液晶表示体1108側では、送信アンテナ1218から発信された電磁波による多重信号1212を受信アンテナ1219により受信し、復調回路1217により多重信号が復元される。復元された多重信号は、拡散符号発生回路1204によって発生された送信側で使用した拡散符号と同一の拡散符号 C_k ($k = 1, 2, \dots, N$)のそれぞれと各乗算回路1206-1、1206-2、 \dots 、1206-Nによって乗算される。これらの信号は積分回路1207-1、1207-2、 \dots 、1207-Nにより1シンボル区間に渡ってそれぞれ積分され、判定回路1208-1、1208-2、 \dots 、1208-Nによってビット1または0がそれぞれ判定され、表示データ1210として出力され、図7のラッチ1105に送出される。

乗算回路1206-1、1206-2、 \dots 、1206-Nには

一方の入力が多値信号なのでもはや排他的論理和回路は使用できず、平衡変調回路のようなアナログ乗算回路が使用される。またこの部分では、A/D変換後すべての処理をデジタル化して処理してもよい。

この実施例では、送信側で用いた拡散符号 C_k は受信側でも同一の
5 拡散符号 C_k を同期して使用しないと、受信側ではデータを正しく復元できない。従来の拡散符号による多重化通信では、受信側で拡散符号発生
の同期を取るための特別な回路を必要としたが、本実施例のように、送受信端が至近距離にある場合は、同期のための信号は直接送信
側からもらえばよい。このため、本実施例では、同一のチップクロッ
10 ク1211を使用し、水平同期信号1213により拡散符号発生回路
1201、1204をリセットし、同期を取っている。このような構成をとることにより、同期捕捉が著しく簡略化できる。分周回路12
05は、チップクロック1211を分周して、1シンボル区間毎に信号を
発し、積分回路1207-1、1207-2、・・・、1207
15 -Nおよび判定回路1208-1、1208-2、・・・、1208
-Nをリセットする。この場合、分周回路1205の出力1212は
1シンボル区間となるため、Xクロック信号1115と同周期同位相
となり、この信号をXクロック信号1115として使用することが出
来る。チップクロック1211は、拡散符号の1チップに相当する周
20 期のクロック信号であり、通常チップクロック1211の周波数は高
くなるので、チップクロック1211を送らずに、液晶表示体110
8側でたとえば水平同期信号1213を逡倍し、PLL等の手段で再
生したり、またXクロック信号1115のような画素毎のクロック信
号を送って、受信側で逡倍し再生してもよい。

25 一点鎖線1215-1215'は本体1131側と液晶表示体11
08体側を分離する境界で、この境界を通過する伝送線路は物理的な
長さを要し、良好な伝送特性が求められるため、従来の技術では実施
が困難であった。本実施例では、この境界を通過して伝送される線路
はチップクロック信号1211、水平同期信号1213等であり、そ

れぞれの線路には高速性および広帯域が要求されない。また、最も高速広帯域が要求される表示データ信号 1 1 1 6 は電磁波によって伝送されるので、従来の高速データ伝送における様々な困難を除去することが可能となる。さらに、拡散符号により多重化し、伝送レートを上げることなく伝送が可能である。

図 9 は本発明の動作を簡略的に説明するタイム図である。同図 (a) が送信側で多重化のプロセスを説明し、同図 (b) で受信側での復元のプロセスを示している。ここでは簡単のために多重数を 3 として説明しているが、実際は拡散符号長を長くし、多重数をずっと大きく取る。なお、同図において、時間 t_b は 1 シンボルが伝送されるシンボル区間、時間 t_c がチップ周期であり、 t_b / t_c を拡散率 (S F : S p r e a d F a c t o r) という。また $1 / t_c$ はチップ周波数である。

図 9 (a) の b_1 、 b_2 、 b_3 は、液晶コントローラ 1 1 0 3 によりビデオメモリ 1 1 0 2 より読み出された表示データである。 C_1 、 C_2 、 C_3 は、拡散符号発生回路 1 2 0 1 により発生された拡散符号であり、それぞれ b_1 、 b_2 、 b_3 に乗算回路 1 2 0 2 - 1、1 2 0 2 - 2、 \dots 、1 2 0 2 - N によって乗算され、 $b_1 C_1$ 、 $b_2 C_2$ 、 $b_3 C_3$ を発生する。ここで、 C_1 、 C_2 、 C_3 および b_1 、 b_2 、 b_3 は、デジタルの 2 値信号として論理 1 および 0 をもって図示している。また、 $b_1 C_1$ 、 $b_2 C_2$ 、 $b_3 C_3$ は、論理 1 のときアナログ値 - 1、論理 0 のときアナログ値 1 を対応させ、乗算をした結果である。 b_k と C_k の排他的論理和をとり、その出力が論理 1 のときアナログ値 - 1、論理 0 のときアナログ値 1 を対応させると考えてもよい。 $b_1 C_1$ 、 $b_2 C_2$ 、 $b_3 C_3$ は、加算回路 1 2 0 3 によりアナログ的に加算され、 S を出力する。すなわち、 $S = b_1 C_1 + b_2 C_2 + b_3 C_3$ であり、この信号が多重信号 1 2 1 4 として変調回路 1 2 1 6 によって変調された後、送信アンテナ 1 2 1 8 を通じて液晶表示体 1 1 0 8 側に伝送される。

液晶表示体 1 1 0 8 側では、図 9 (b) に示すように、受信アンテナ 1 2 1 9 によって受信された信号を復調回路 2 1 7 により復調し、この復調された多重信号 S に送信側と同一の拡散符号 C 1、C 2、C 3 を乗算回路 1 2 0 6 - 1、1 2 0 6 - 2、・・・、1 2 0 6 - N に
 5 よりそれぞれ乗算して SC_1 、 SC_2 、 SC_3 を生成し、積分回路 1 2 0 7 - 1、1 2 0 7 - 2、・・・、1 2 0 7 - N により時間 t_b に渡ってそれぞれ積分する。各々の積分結果も同図 (b) 内に示してある。判定回路 1 2 0 8 - 1、1 2 0 8 - 2、・・・、1 2 0 8 - N は積分結果がスレッシュホールドレベル V_t 以上ならば論理 0、 V_t 以下ならば論理 1 と判定することにより、元の表示データ信号 1 1 1 6 を復元
 10 できる。同図は、ノイズの全くない環境での模式的なものであるので、積分結果が ± 4 となっているが、拡散符号の直交性が悪かったり、ノイズのある環境では、このように明確な弁別が出来ないので、スレッシュホールドレベル V_t を適当に決めて弁別を行う。

15 ところで、拡散符号により多重化された信号 1 ビットは、1 シンボル区間 t_b の時間で伝送される。これは従来の伝送線を複数用いて並列に表示データ信号 1 1 1 6 を伝送した場合の 1 信号線当たりの伝送と同じ速度である。従来例の説明で用いた 1920×1080 画素の液晶表示体 1 1 0 8 における RGB それぞれ 8 ビット計 24 ビットを
 20 毎秒 60 フレーム分だけ送る場合を例にとり、24 ビットを多重化すると、各ビットは、

$$1920 \times 1080 \times 60 \div 24 = 124.4 \text{ Mbps}$$

の速度で伝送されることになるが、実際は多重化のために SF 倍に拡散されている。24 ビットを多重化して送り、受信側で完全に分離する
 25 ためには、少なくとも SF は 24 以上必要である。

このことを考慮すると、拡散のチップレートは上記の SF 倍すなわち従来と同じ値の約 3 Gcps (chip per second) となり、何ら効果のないものと思われるかもしれない。拡散符号の直交性や精度を考慮すると、さらに高い cps で送信する必要がある。

しかしながら、このことは本実施例のように、表示データ信号 1 1 1 6 を電磁波により伝達するときには却って好都合である。チップレート選択の自由度が増して放射される電磁波の周波数をある程度高くすることができ、より電磁波としての伝送が容易になる。

- 5 さらに、従来のようにすべてをシリアルデータとして伝送する場合に比較すると、本実施例では、伝送路に要求される帯域が狭くて良いので、設計はより容易である。すなわち従来例では、表示データ信号 1 8 1 6 は全画面黒または白の場合の D C から、ドットごとの市松模様などの場合の最高周波数（上記例では約 1 . 5 G H z ）までの非常
10 に広範な周波数帯域に渡り、一様な伝送特性が要求されるのに対し、本実施例の場合に要求される帯域は、高々チップ周波数を中心として上下にシンボル周波数程度の帯域に伝送に必要なエネルギーの大部分が集中するため、伝送線路に大きな比帯域を必要としない。このことは、伝送線路に要求される特性を著しく緩和し、実現を容易とする。
- 15 また、従来例では、約 3 G H z の 1 周期内で 1 ビットが伝送されるため、シンボル間での干渉を受けやすく、さらに伝送路の曲がりやミスマッチなどによる反射などに対しての耐性が弱かった。一方、本実施例では、従来例に対して 1 ビットが送られる時間が従来例の S F 倍長いために、従来例と同じ量の反射などによる妨害があっても、シ
20 ンボル間干渉は著しく緩和される。また、符号多重の特性として、空間を伝播する際のマルチパスによるひずみは、R A K E 手法などにより除去することも可能である。

- 以上述べたように、伝送路における符号のチップレートが、従来の全シリアル伝送の場合の転送クロック周波数より高くなったとしても
25 、伝送路に要求される仕様は著しく緩和され、実現が容易になるのである。さらに、従来例では、表示される表示内容が特定パターンするとき、表示データ信号 1 8 1 6 に特定の周波数で非常に強いスペクトルを持つ場合がある。このことは、機器から発生する不要放射すなわち E M I 規制の観点から非常に不利となるが、本実施例によれば、表

示データ信号は拡散符号により常に拡散されているため、特定の周波数で強いスペクトルを生じることがなく、EMI対策の点からも大いに有利になるという効果もある。

また、従来のように、信号を有線線路によって伝送する場合は、信号は線路の浮遊容量とともに駆動される必要があり、信号の周波数が高くなるほど消費電力が増大するという本質的な問題があった。一方、本実施例では、信号は電磁波により空間を伝播するので、周波数が高いほど電磁波として放射しやすく、また受信側で受信できるレベルまで送信側の電力を減らすことができ、消費電力を著しく減らす効果がある。

[実施例 6]

図 10 は本発明にかかる他の実施例の要部を示す図であり、実施例 5 で図 8 に示した加算回路 1203、変調回路 1216 および復調回路 1217 の構成として別の方法を取る例を示す。また、チップクロックや X クロック信号の生成方法の別の例も示す。図 10 では、図 8 に示すブロックと同じ機能を持つものは同じ番号を付し、特に説明の必要がなければ説明を省略する。

図 10 において、表示データ信号 1116 のそれぞれのビットに対応して送信アンテナ 1418-1、1418-2、・・・、1418-N が設けられている。そして、送信アンテナ 1418-1、1418-2、・・・、1418-N は、増幅器 1416-1、1416-2、・・・、1416-N をそれぞれ介して、乗算回路 1202-1、1202-2、・・・、1202-N にそれぞれ接続されている。

そして、各増幅器 1416-1、1416-2、・・・、1416-N は乗算回路 1202-1、1202-2、・・・、1202-N の信号をそれぞれ受けて増幅し、送信アンテナ 1418-1、1418-2、・・・、1418-N にそれぞれ給電する。なお、増幅器 1416-1、1416-2、・・・、1416-N には、受信側で必要な SN 比を確保できる最小レベルまで送信電力を低減する機能を持

たせることができる。受信側からの受信結果を元に送信レベル制御を行っても良い。また、乗算回路1202-1、1202-2、・・・、1202-Nの出力駆動能力に余裕があれば、増幅器1416-1、1416-2、・・・、1416-Nは省略し、送信アンテナ1418-1、1418-2、・・・、1418-Nに直接給電しても良い

また本実施例では、実施例5における変調回路1216の位置に増幅器1416-1、1416-2、・・・、1416-Nが配置されている。このように拡散符号の符号長を調整し、チップ周波数を所望の周波数帯となるよう設定して用いることにより、乗算回路1202-1、1202-2、・・・、1202-Nに変調回路1216の機能を兼ねることが可能である。このような回路構成をとった場合、乗算回路1202-1、1202-2、・・・、1202-Nの出力信号の周波数スペクトルは、端子1209に入力される表示データと拡散符号の周波数スペクトルの畳み込み積分となる。拡散符号をうまく選ぶと、チップ周波数の1/2を中心として、±シンボルレートの範囲にスペクトルが集中する電磁波信号を生成することが可能であり、回路の簡略化が出来る。

さらに、実施例5と比較すると、加算回路120が省略されているが、信号の加算は空間にて行われ、電磁波による多重信号1403となる。この場合、各送信アンテナ1418-1、1418-2、・・・、1418-Nはチップ周波数の波長に対して十分近づいている必要がある。定数の同じアンテナが至近距離にあると、互いに影響があるが、至近距離との通信に支障が出るほどの影響はない。各送信アンテナ1418-1、1418-2、・・・、1418-Nにより送信された電磁波信号は空間にて加算され、多重信号1403となり、受信アンテナ1219にて受信される。増幅器1417は受信アンテナ1219により受信された信号を必要なレベルまで増幅し、乗算回路1206-1、1206-2、・・・、1206-Nに伝え、実施

例 5 と同様な動作により表示データ信号 1 1 1 6 を復元し端子 1 2 1 0 に出力する。

チップクロック 1 2 1 1 は符号発生回路 1 2 0 1 にクロックを供給し、拡散符号を発生させる。分周回路 1 4 0 6 はチップクロック 1 2 1 1 を分周して水平同期信号 1 2 1 3 も発生させ、この信号は有線にて液晶表示体 1 1 0 8 側に伝送される。水平同期信号 1 2 1 3 は表示データ信号 1 1 1 6 などに比較し十分周波数が低く、また 1 本分のみなので配線は容易である。液晶表示体 1 1 0 8 側では、PLL 1 4 0 4 により水平同期信号 1 2 1 3 を逡倍し、送信側で用いたチップクロック 1 2 1 1 と同位相同周波数のチップクロック 1 4 0 5 を発生させ、符号発生回路 1 2 0 4 に送られ、受信側の拡散符号を発生する。チップクロック 1 4 0 5 はまた、分周回路 1 2 0 5 により分周され、X クロック信号 1 2 1 2 を発生する。X クロック信号 1 2 1 2 は、積分回路 1 2 0 7 - 1、1 2 0 7 - 2、・・・、1 2 0 7 - N のリセットにも使用される。

このような構成をとることにより、液晶表示体 1 1 0 8 側と本体 1 1 3 1 側を接続する線の本数を減らすことが可能であり、しかもその有線路にて伝送される信号は周波数が低いので実現が容易であり、かつ従来問題となった高速大量データ伝送における諸々の課題を一気に解決することが可能となる。

[実施例 7]

図 1 1 は本発明による表示装置のさらに他の実施例の要部のブロック図を示す図である。なお、図 7 と同じ番号が振られているブロックの機能は実施例 5 と同じため説明は省略する。

図 1 1 において、X ドライバ 1 5 1 3 は N 組に組み分けされ、それぞれ X シフトレジスタ 1 5 4 3 - 1、・・・、1 5 4 3 - N、ラッチ 1 5 4 4 - 1、・・・、1 5 4 4 - N および D/A 変換器 1 5 4 5 - 1、・・・、1 5 4 5 - N で構成される。通常 X ドライバ 1 5 1 3、および Y ドライバ 1 1 0 7 は複数に分割され、集積回路に収められ、縦

続接続して使用される。N組への組分けは、このドライバ集積回路単位と考えるてもよいし、一つのドライバ集積回路に複数の組が存在しても良い。Xドライバ1513の各組には、相関回路1541-1、
 ・ ・ ・、1541-Nおよび拡散符号発生回路1542-1、
 5 1542-Nが組毎に組み込まれている。Xドライバ1513の各組には、それぞれ各組に固有の拡散符号セット $S_p = \{C_{p,k}\}$ ($p = 1, 2, \dots, N$) が割り振られており、拡散符号発生回路1542-1、
 ・ ・ ・、1542-Nは、この割り振られた拡散符号セットを発生する。すなわち、p組目の拡散符号発生回路1542-pは符号セッ
 10 ト S_p の各符号を発生する。各組の拡散符号セット間の相関は小さく設計する。また、符号セット内の各符号間の相関も小さく設計することは言うまでもない。どちらも完全に相関が0すなわち直交符号系を使用するのが理想的である。

以下説明のために、p組目 ($p = 1, 2, \dots, N$) のq列 ($q =$
 15 1, 2, $\dots, n/N$) の表示データを $D_{p,q}$ とする。 $D_{p,q}$ は色や階調に関する情報を有し、すなわちRGB各8ビットづつのように複数ビットから構成される。各 $D_{p,q}$ のk番目のビットを b_k とする。

Xドライバ1513側の拡散符号発生回路1542-1、
 1542-Nが自組に割り振られた符号セットのみ発生するのに対し
 20 て、送信側の拡散符号発生回路1501は必要に応じて使用されるすべての拡散符号セットを発生する。液晶コントローラ1103はビデオメモリ1102から表示する表示データを読み出し、多重化回路1503へ出力する。多重化回路1503では、その表示データの表示される画素がどの組のXドライバ1513によって駆動されるかに基
 25 づいて拡散符号セットを選択し、その拡散符号セットによって表示データ信号1116を多重化して、多重信号1122を発生する。すなわち、p組目のXドライバ1513に送出される表示データ信号1116は符号セット S_p により多重化する。信号の受信側すなわちXドライバ1513の各組では、拡散符号は自分の組の拡散符号しか発生

せず、他の組へ送出された表示データ信号 1 1 1 6 は復元できないので、正しく表示データ信号 1 1 1 6 の行き先が決定される。多重化回路 1 5 0 3 で発生された多重信号 1 1 2 2 は変調回路 1 1 2 3 により変調されて、送信アンテナ 1 1 2 5 より電磁波信号として液晶表示体 1 1 0 8 側に送信される。液晶表示体 1 1 0 8 側では、受信アンテナ 1 1 2 6 により該電磁波信号を受信し、復調回路 1 1 2 4 により多重信号を復元し、相関回路 1 5 4 1 - 1、・・・、1 5 4 1 - N に配信される。受信アンテナ 1 1 2 6 および復調回路 1 1 2 4 は図 1 2 で後述するように、各組共通に使用してもよいし、組毎に専用の受信アンテナおよび復調回路を設けても良い。

画像の表示において、走査線間やフレーム間の相関は大きく、前回送信した表示データを更新する必要がある場合が多い。液晶コントローラ 1 1 0 3 は、1 本前の走査線上の表示データと今回送出しようとしている表示データを比較し、表示データの異なる部分がある組へのみ表示データを送出する。液晶表示体 1 1 0 8 側では、相関回路 1 5 4 1 - 1、・・・、1 5 4 1 - N が表示データを検出できなかった場合は、表示データに変更の必要がなかったと判断し、X シフトレジスタ 1 5 4 3 - 1、・・・、1 5 4 3 - N、ラッチ 1 5 4 4 - 1、・・・、1 5 4 4 - N および D/A 変換器 1 5 4 5 - 1、・・・、1 5 4 5 - N の動作を停止し、出力を変更しない。

このようにして、更新の必要ない組への表示データ送出動作を停止できるので、機器の消費電力を大幅に減らすことが可能となる。すなわち、上記のような構成をとることにより、表示データの送り先は組毎に拡散符号によりアドレッシングされるので、拡散符号を変えることにより、表示データの送り先を指定することが可能である。このため、表示データを書き換える必要がない組に対してはデータ送信を停止させることができ、低消費電力化が可能となる。組の数（すなわち N）は大きくするほど、表示データの送信／停止の制御がきめ細かく実行でき、消費電力化の効果も大きくなる。最も N を大きくした場合は

、 $N = n$ （横方向の画素数）である。しかし、あまり N を大きくすると、符号長が長くなり多重化／復元の演算量が増加するというトレードオフがある。

表示データの送出順序は D_{11} 、 D_{12} 、 \dots 、 D_{1N} 、 D_{21} 、 D_{22} 、 \dots 、 D_{2N} 、 \dots のように左から右に画素毎に各ビット b_k （ $k = 1, 2, \dots, w$ 、 w は画素のビット数）を多重化しても良いし、 D_{11} 、 D_{21} 、 \dots 、 D_{N1} の各 b_1 を多重化し、続いて各 b_2 が多重化されるようにビット毎に多重化して送出して1画素目が終了した後、2画素目すなわち D_{22} 、 D_{22} 、 \dots 、 D_{N2} の b_1 を多重化し、続いて b_2 を多重化するようにしても良い。

この場合、前者の方法では、 D_{11} 、 D_{12} 、 \dots 、 D_{1N} を送出するときに使用する拡散符号セットは $S_1 = \{C_{1k}\}$ （ $k = 1, 2, \dots, w$ ）であり、 D_{21} 、 D_{22} 、 \dots 、 D_{2N} が送出されるときに使用される拡散符号セットは $S_2 = \{C_{2k}\}$ （ $k = 1, 2, \dots, w$ ）であるため、異なる拡散符号セットが同時に使用されることはない。これに対し、後者の方法では、組並列のビットシリアルで送出されるため、異なる複数の拡散符号セットが同時に使用される。後者では多くの場合、各符号セットにおける符号の数は1または2（各画素2ビットずつ並列に送る場合）でよい。このように、各組および各ビットは、拡散符号によってアドレスできるので、送出順序は任意に変更可能である。前者の方法では、ビデオメモリから読み出した表示データを並べ替え無しに送出できる利点はあるが、データ更新の必要のない組に対して無信号の期間が存在し、ビット転送レートが高く、また多くの拡散符号数が必要となる。後者の方法では、液晶コントローラ1103が組毎の画素のデータを読み出し一旦蓄えてから、ビット毎に並べ替えて出力しなければならないが、ビット当たり転送速度を下げることで、また必要な拡散符号数も少なくても良く、符号設計が容易である。後者の方法は、実施例9にさらに詳しく説明する。

[実施例8]

図 1 2 は本発明によるさらに他の実施例を説明する図で、図 1 1 において、X ドライバ 1 5 1 3、相関回路 1 5 4 1-1、・・・、1 5 4 1-N、拡散符号発生回路 1 5 4 2-1、・・・、1 5 4 2-N、受信アンテナ 1 1 2 6 および復調回路 1 1 2 4 の各組に相当する部分
5 を図 1 2 の構成で置き換えることができる。なお、図 1 2 では 1 組のみ示している。

本実施例では、表示画像のフレーム間の相関を利用して表示データ信号 1 1 1 6 の転送を減らすために、液晶表示体 1 1 0 8 側に組毎にフレームメモリ 1 6 4 3 を置き、表示が静止しているときは、表示データ信号 1 1 1 6 の転送を行わず、フレームメモリ 1 6 4 3 に記憶されたデータを利用する。
10

以下、図 1 1 の X ドライバ 1 5 1 3 等の部分を図 1 2 の構成で置き換えて説明する。

液晶コントローラ 1 1 0 3 はビデオメモリ 1 1 0 2 が書き換えられると、書き換えられたデータを表示する画素を持つ組に割り当てられた拡散符号セットを用いて多重化回路 1 5 0 3 にて多重化し、多重信号 1 1 2 2 を変調して液晶表示体 1 1 0 8 側に電磁波信号として送出する。液晶コントローラ 1 1 0 3 は、CPU 1 1 0 1 からのビデオメモリ 1 1 0 2 への制御（ビデオメモリ 1 1 0 2 のライトパルスやアドレスバス）を監視することにより、ビデオメモリ 1 1 0 2 が CPU 1 1 0 1 により書き換えられたことを検出できる。また、CPU 1 1 0 1 は、MPEG の伸張などでは、その圧縮伸張アルゴリズムからフレーム毎に書き換えが必要な部分が検出できる。CPU 1 1 0 1 は、このようにして検出できた書き換え部分を直接液晶コントローラ 1 1 0 3 に知らせてもよい。（図 1 1 では、このための信号経路は省略されている。）液晶コントローラ 1 1 0 3 が発生する垂直同期信号 1 1 1 8 および水平同期信号 1 1 1 4 に同期し、書き換えのあった画素の表示データのみを送出する。ビデオメモリ 1 1 0 2 に書き換えがある度に表示データを送出しても良いが、通常、CPU 1 1 0 1 のビデオメ
15
20
25

メモリ 1102 への書き換えの方が、液晶表示体 1108 側で表示データを必要とするタイミングよりもずっと速いため、液晶表示体 1108 が表示データを必要とする直前に、水平同期信号 1114 および垂直同期信号 1118 に同期して送出するほうが良い。また、拡散符号
5 によるアドレッシングによりすべての画素をアドレスするには、非常に長い拡散符号が必要になる。このため、同期信号に同期してデータを送出し、例えば行アドレス、組内における X 方向の画素アドレスなどは同期信号からのタイミングから算出することによって、指定すべきアドレスビット数を減らし、短い拡散符号での動作を可能とするのが
10 良い。

液晶表示体 1108 において内蔵された受信アンテナ 1126 は、電磁波により送信された多重信号 1122 を受信し、復調回路 1124 により復調し、相関回路 1641 へ送出する。相関回路 1641 は、自組に割り当てられた拡散符号セットとの相関を計算し、自組に送
15 出された表示データ信号 1116 を復元し、フレームメモリ 1643 に蓄える。液晶コントローラ 1103 の発生するそのような表示データ信号 1116 が送られてこない場合は、フレームメモリ 1643 に蓄えられている前フレームの表示で使
用された表示データを更新せずに、前回のデータが保存されている。コントローラ 1602 は、端子
20 1603 に入力されるチップクロック 1505、端子 1604、1605 にそれぞれ入力される水平同期信号 1114 および垂直同期信号 1118 に同期して、拡散符号発生回路 1642 の同期を取るとともにタイミングを制御し、表示体動作に合わせラッチ 1644 および D/A 変換器 1645 の制御を行う。

すなわち、ラッチ 1644 はコントローラ 1602 により出力されるタイミングに合わせてフレームメモリ 1643 から次に表示すべき走査線上の表示データをフレームメモリ 1643 から読み出して保持する。次の水平同期信号 1114 が入力されると、コントローラ 1602 は、D/A 変換器 1645 を起動し、ラッチ 1644 に保持された

データに従って液晶表示体 1 1 0 8 に駆動電圧を出力し表示する。

以上本実施例では、前フレームで表示されたデータの保持にフレームメモリ 1 6 4 3 を用いて説明したが、表示体の画素毎のキャパシタンスなどによって画素自体にその保持機能がある場合は、フレームメモリ 1 6 4 3 を省略することも可能である。

また、受信アンテナ 1 1 2 6 および復調回路 1 1 2 4 は各 1 でなく、各組毎に配備することも可能である。このような構成をとれば復調回路 1 1 2 4 の出力を各組に配線により配信する必要がなくなり実装をより効率的に行うことが出来る。

10 本発明による上記構成によれば、表示データ信号 1 1 1 6 の送り先は拡散符号にアドレッシングされているため、容易に書き換えの必要な組に対してのみ表示データ信号 1 1 1 6 の送出を行うことができ、表示装置の低消費電力化に著しい効果がある。

[実施例 9]

15 図 1 3 は本発明によるさらに他の実施例を示す図であり、表示データ信号の送出順序をより詳細に例示する。表示データ信号の送出の順序が、実施例 7 において後者の方法による場合に相当し、図 1 3 はその送信側の構成をより詳細に示す図である。

液晶コントローラ 1 1 0 3 は、まず液晶表示体 1 1 0 8 の表示データを送出しようとする行の D_{11} の画素のデータをビデオメモリ 1 1 0 2 から読み出す。ビデオメモリ 1 1 0 2 から読み出されるデータは色および階調の情報を持つ複数ビットの情報である。この情報は並直変換回路 1 7 0 1 - 1 に送られ、並直変換によりシリアル信号に変換された後、PN 符号発生回路 1 7 0 4 の発生する拡散符号 C_1 と乗算回路 1 7 0 2 - 1 にて乗算され、変調回路 1 7 0 3 - 1 により変調され、送信アンテナ 1 7 0 5 - 1 より電磁波信号として送信される。

次に、液晶コントローラ 1 1 0 3 は、 $1t_0$ 遅れて液晶表示体 1 1 0 8 の表示データを送出しようとする行の D_{21} の画素のデータをビデオメモリ 1 1 0 2 から読み出し、並直変換回路 1 7 0 1 - 2 に送る

。並直変換回路 1701-2 は、 D_{21} の画素の表示データをシリアル信号に変換し、該信号はその後乗算回路 1702-2 により PN 符号発生回路 1704 の発生する拡散符号 C_2 と乗算され、変調回路 1703-2 により変調され、送信アンテナ 1705-2 より電磁波信号として送信される。

以下同様に、 D_{N1} の画素まで同様の動作を続け、さらに D_{12} 、 D_{22} 、 \dots D_{N2} と続いて、 D_{NM} (ただし、 $M = n/N$) で一行分のデータ送出が終了し、次の行の表示データ送信に続く。

PN 符号発生回路 1704 は、シフトレジスタと帰還回路 1706 により構成される。帰還回路 1706 は、シフトレジスタの適当な段の出力 (タップ) の排他的論理和を取り、シフトレジスタの初段に帰還する。タップの取り方により、シフトレジスタに保持されるデータの組み合わせは、全ゼロを除く最大数 (すなわち s 段のシフトレジスタを用いたとき、 $2^s - 1$) を取ることが出来る。

図 13 の実施例では、各拡散符号は同一のシフトレジスタから取られているので、これらの拡散符号は互いに t_0 の整数倍シフトしただけの同一のパターンである。このようにして発生された符号は M 系列あるいは PN 系列と呼ばれ、自己相関関数が同相 ($\tau = 0$) のとき $2^s - 1$ で、その他ではすべて -1 となり、白色雑音に良く似た特性となることが知られている。本実施例のような構成によれば、使用される拡散符号は同一パターンで位相のみが異なる符号セットを使用するので、符号発生回路は 1 つでよい。しかも、PN 符号はシフトレジスタにより発生されるため、シフトレジスタの各段から符号を取り出せば、位相の異なった符号セットを取り出すことが出来、回路が簡略化できる。

次に、図 14 のタイム図を用いて動作の概要を説明する。なお、同図の最下行には、以下の説明を容易にするためにチップクロック番号が付されている。

以下、時刻を参照する場合は、このチップクロック番号を用いて、

例えば時刻チップクロック番号5の前縁を表す場合、 t_{c5} の前縁のように言う。図9の場合と同様に、図中 t_b は1シンボル期間、 t_c はチップクロック周期である。説明を容易にするために、拡散符号の符号長は7、多重数3の場合を例に説明するが、実際の実施において

5 は、より長い符号を用い、多重数ももっと大きくすべきである。 C_1 、 C_2 、 C_3 は拡散符号として使用される長さ7のPN系列であり、 t_c ずつ位相がずれている。ここで、 $t_b = 7 t_c$ である。

液晶コントローラ1103は、 t_{c1} が始まるまでに D_{11} を読み込み、並直変換回路1701-1にデータを送出する。並直変換回路1

10 701-1は、 D_{11} のビット1から順にシリアルデータとして出力する。図14の D_{11} は、ビット b_1 から t_b 毎に出力していく様子を示している。すなわち、 t_{c1} から t_{c7} で b_1 （この例では $b_1 = 1$ ）を、 t_{c8} から t_{c14} で b_2 を（この例では $b_2 = 0$ ）、以下順に $7 t_c$ 毎に送出データを更新していく。

15 t_{c1} から t_{c7} の間において、すなわち並直変換回路1701-1が b_1 を送出している間に、液晶コントローラ1103は D_{21} を読み込み、並直変換回路1701-2にデータを送出し、シリアルデータに変換する。 D_{21} は、 t_{c8} からすなわち2シンボル目から $7 t_c$ 毎に b_1 （この例では $b_1 = 1$ ）、 b_2 （この例では $b_2 = 0$ ）、...と出力されていく。同様に、 D_{31} の送出は3シンボル目、すなわち t_{c15}

20 t_{c15} から始まる。 D_{21} の並直変換が開始される前の1シンボル区間および D_{31} が並直変換される前の2シンボル区間は、何も送出しないnull期間である。

これらの信号はそれぞれ乗算回路1702-1、1702-2、1

25 702-3によって拡散符号 C_1 、 C_2 、 C_3 が乗算され、 $C_1 D_{11}$ 、 $C_2 D_{21}$ 、 $C_3 D_{31}$ が出力される。このときの乗算は先に述べたとおり、拡散符号および表示データの論理1にアナログ値-1、論理0にアナログ値1を対応させて行う。

図14において、 D_{21} の行より上の行は論理値で、また $C_1 D_{11}$

の行から下の行はアナログ値で表示している。また、送出データのな
い `null` 期間はアナログ値 0 が乗算される。S は、 $C_1 D_{11}$ 、 C_2
 D_{21} 、 $C_3 D_{31}$ を加算した多重信号で、図 13 においては、信号の
加算は空間で行われるため、空間の電磁波の強さと考えればよい。

5. c_1 、 c_2 、 c_3 は、それぞれ C_1 、 C_2 、 C_3 の論理値表現をアナロ
グ値表記に直したものである。多重信号 S は、 C_1 、 C_2 、 C_3 との相
関を計算するために、それぞれ c_1 、 c_2 、 c_3 と乗算され、 $S c_1$ 、
 $S c_2$ 、 $S c_3$ が計算される。 $\Sigma S c_1$ 、 $\Sigma S c_2$ 、 $\Sigma S c_3$ は、その
時点より $7 t_c$ 前までの積算値である。各 t_c 期間の終わりのところ
10 (図 14 ではハッチングを施してある) で強い相関を示し、受信した
ビットを判定できる。すなわち、正の大きな値のとき論理値 0、負の
大きな値のとき論理値 1 である。また、信号が送られない `null` の
ときは、ほぼゼロの値となる。例えば、`null 2001` の部分では
、積算値 `2002` は 0 となっている。このような拡散符号として PN
15 系列を使用するときは、チップ位相がずれたときに相関が完全にはゼ
ロにならないため、多少の誤差を含む。従って、符号長を長めに取り
、拡散率を上げるなどの対策が必要である。また、PN 符号をほんの
少しオフセットしてバランスを取ることで、直交性を確保する方法も
ある。この場合は、加算回路や受信側の相関回路および乗算回路が、
20 オフセット分を正しく計算処理できるような性能が必要である。また
、PN 符号でなく、完全に直交性を持つ符号セットを使用することも
可能である。

- 液晶コントローラ 1103 は、表示データ信号 1116 の更新が必
要な組に対してのみ表示データ信号 1116 を送出する。表示データ
25 信号 1116 の送信が必要でない組に対しては、`null` を送信する
。受信側では、`null` が受信できれば、その組の表示データ信号 1
116 の更新は必要でないことが分かるので、各組の先頭の部分を受
信することにより、更新の要不要を判定できる。更新の必要がない場
合は、表示データは以前のものを使用し、必要無い回路の動作は停止

する。このことにより、表示装置の消費電力を著しく低減できる。

本実施例では、ビデオメモリ 1102 として、フレームメモリすなわち 1 画面分以上を記憶することを前提として説明しているが、NTSC などのテレビ信号では、必ずしもフレームメモリは必要でない。

- 5 このような場合でも、ビデオメモリとして、1～2 の走査線分のラインバッファメモリを持ち、更新が必要な部分を検出すれば、本実施例のように、必ずしも左から右への走査順序に従わない転送動作が可能であり、この場合、走査線間の相関を利用し不要な転送を省略できるので、表示装置の低電力化に効果がある。

- 10 以上述べたように、本発明によるこれらの上記構成によれば、表示装置において非常に高い周波数成分を含み、高速なデータ転送が必要な表示データの伝送におけるさまざまな困難を軽減できる。拡散符号により信号を多重化できるので、伝送に必要な線路数を減らすことが出来る。また、表示データに含まれる周波数帯域を狭くすることが可能であり、線路設計を容易にする。さらに、表示する画像の空間周波数に強いスペクトルピークが現れるような画像パターンの表示においても、表示データは拡散符号により周波数拡散されるため、特定の周波数に強いスペクトルピークが出現することがなく、EMI 対策において著しい効果がある。さらに、拡散符号によりデータのアドレッシング
- 15
- 20 ができるので、特別なアドレッシングの手段無しにデータ送り先が指定できる。これによって、ビデオメモリから表示体へのデータ転送は表示が変化した時にのみ行うことを可能として、表示装置の消費電力低減に著しい効果がある。

- 25 なお、上述した実施形態では、大型のテレビジョンの表示装置を例として説明したが、前述の実施形態に限定されるものではなく、例えばノートブックコンピュータや携帯電話などの電子機器における表示体との接続等、幅広い用途に適用できる。

請求の範囲

1. 表示データを表示する表示手段と、
前記表示手段に表示される表示データを分割し複数個 N (N は2以上の整数)のシリアル信号として生成する分割手段と、
5 前記シリアル信号の各々に異なる符号を乗算する乗算手段と、
前記乗算手段の出力信号を合成し前記 N より少ないシリアル信号に合成する合成手段と、
前記合成手段の出力信号と前記符号との相関を計算することにより、
前記表示データを復元する復元手段と、
10 前記復元手段により復元された信号に基づき前記表示手段を駆動する駆動手段とを具備することを特徴とする表示装置。
2. 前記表示手段はマトリックス状に配置された画素を有し、線順次走査により表示されることを特徴とする請求の範囲第1項に記載の表示装置。
- 15 3. 前記分割手段は、各画素の画素データをビット毎に分割し、画素毎にシリアル出力することを特徴とする請求の範囲第1項または第2項に記載の表示装置。
4. 前記分割手段は、前記表示手段の列を N 組に分割し、前記各組毎に画素信号をシリアル出力することを特徴とする請求の範囲第1項
20 または第2項に記載の表示装置。
5. マトリックス状に配置された画素を持つ表示手段と、
前記表示手段に表示される表示データを複数の N (N は2以上の整数)組の列毎に分割しシリアル信号として生成する分割手段と、
前記シリアル信号の各々に異なる符号を乗算する乗算手段と、
25 前記乗算手段の出力信号を合成し前記 N より少ないシリアル信号に合成する合成手段と、
前記合成手段の出力信号と前記符号との相関を計算することにより、
前記表示データを復元する復元手段と、
前記復元手段の出力信号を一時的に記憶する記憶手段と、

前記記憶手段により記憶された信号に基づき前記表示手段を列毎に駆動する駆動手段とを具備することを特徴とする表示装置。

6. 前記分割手段は、書き換えが必要な組に対してのみ表示データを出力することを特徴とする請求の範囲第5項に記載の表示装置。

5 7. 前記乗算手段に供給される符号を発生させる第1拡散符号発生回路と、

前記復元手段に供給され、前記乗算手段に供給される符号と同一の符号を発生させる第2拡散符号発生回路とを備え、

10 前記第1拡散符号発生回路と前記第2拡散符号発生回路とは同一のクロック信号にて同期が取られることを特徴とする請求の範囲第1項から第6項のいずれか1項に記載の表示装置。

8. マトリックス状に配置された画素を持ち、線順次走査により表示駆動される表示手段と、

15 前記表示手段の走査線毎に表示データを発生する表示データ発生手段と、

前記表示データ発生手段にて発生された表示データを所定の各画素に駆動データとして配分するN（Nは2以上の整数）組に組み分けされた駆動手段と、

20 隣接する走査線間で表示データの異なる画素を検出する検出手段とを具備し、

直近の走査線上で表示される表示データと異なる表示データが表示される1以上の画素を含む組に対してのみ、前記表示データ発生手段から前記駆動手段へ表示データが送出されることを特徴とする表示装置。

25 9. 前記駆動手段の各組には符号多重のための符号が割り振られており、前記表示データ発生手段から前記駆動手段への表示データの伝送は、前記符号により前記駆動手段のどの組へ送られたものかを指定することを特徴とする請求の範囲第8項に記載の表示装置。

1.0. 前記符号は直交符号であることを特徴とする請求の範囲第1

項から第 9 項のいずれか 1 項に記載の表示装置。

1 1. 表示データを表示する表示手段と、

前記表示手段に表示される表示データを分割し複数個 N (N は 1 以上の整数) のシリアル信号として生成する分割手段と、

5 前記シリアル信号の各々に異なる符号を乗算する複数の乗算手段と、

前記乗算手段より出力される信号を電磁波信号に変換し送信する送信手段と、

前記電磁波信号を受信する受信手段と、

10 前記受信手段にて受信された受信信号と前記符号との相関を計算することにより、前記表示データを復元する復元手段と、

前記復元手段により復元された信号に基づき前記表示手段を駆動する駆動手段とを具備することを特徴とする表示装置。

1 2. 前記送信手段は、

15 前記乗算手段の出力信号を合成し前記 N より少ないシリアル信号に合成する合成手段と、

前記合成手段より出力される信号を変調し所定の無線周波数に変調する変調手段と、

20 前記変調手段からの出力を受けて電磁波を放射する送信アンテナとを具備することを特徴とする請求の範囲第 1 1 項に記載の表示装置。

1 3. 前記送信手段は、

前記乗算手段それぞれの出力信号を変調し所定の無線周波数に変調する複数の変調手段と、

25 前記複数の変調手段のそれぞれの出力を受けて電磁波を放射する複数の送信アンテナとを具備することを特徴とする請求の範囲第 1 1 項に記載の表示装置。

1 4. 前記乗算手段より出力される信号は、電磁界エネルギーを放射するに十分な無線周波数成分を有し、前記乗算手段それぞれの信号を受けて電磁波を放射する複数の送信アンテナを備えることを特徴と

する請求の範囲第 11 項に記載の表示装置

15. 前記表示手段は、マトリックス状に配置された画素を有し、線順次走査により表示されることを特徴とする請求の範囲第 11 項から第 14 項のいずれか 1 項に記載の表示装置。

5 16. 前記分割手段は、各画素の画素データをビット毎に分割し、画素毎にシリアル出力することを特徴とする請求の範囲第 11 項から第 15 項のいずれか 1 項に記載の表示装置。

17. 前記分割手段は、前記表示手段の列を N 組に分割し、前記各組の画素信号を並列に出力することを特徴とする請求の範囲第 11 項
10 から第 15 項のいずれか 1 項に記載の表示装置。

18. マトリックス状に配置された画素を持つ表示手段と、
前記表示手段に表示される表示データを複数の N (N は 1 以上の整数) 組の列毎に分割しシリアル信号として生成する分割手段と、
前記シリアル信号の各々に異なる符号を乗算する乗算手段と、
15 前記乗算手段の出力信号を合成し前記 N より少ないシリアル信号に合成する合成手段と、
前記合成手段より出力される信号を電磁波信号に変換し送信する送信手段と、

前記電磁波信号を受信し復調する復調手段と、
20 前記復調手段の出力と前記符号との相関を計算することにより、前記表示データを復元する復元手段と、
前記復元手段の出力信号を一時的に記憶する記憶手段と、
前記記憶手段により記憶された信号に基づき前記表示手段を列毎に駆動する駆動手段とを具備することを特徴とする表示装置。

25 19. 前記分割手段は、書き換えが必要な組に対してのみ表示データを出力することを特徴とする請求の範囲第 18 項に記載の表示装置。

20. 前記乗算手段に供給される符号を発生させる第 1 の符号発生回路と、

前記復元手段に供給され、前記乗算手段に供給される符号と同一の符号を発生させる第2の符号発生回路とを備え、

前記第1の符号発生回路と前記第2の符号発生回路とは同一のクロック信号にて同期が取られることを特徴とする請求の範囲第11項から第19項のいずれか1項に記載の表示装置。

21. マトリックス状に配置された画素を持ち、線順次走査により表示駆動される表示手段と、

前記表示手段の走査線毎に表示データを発生する表示データ発生手段と、

10 前記表示データ発生手段より出力される信号を電磁波信号に変換し送信する送信手段と、

前記電磁波信号を受信し復調する復調手段と、

前記復調手段にて復調された表示データを所定の各画素に駆動データとして配分するN（Nは1以上の整数）組に組み分けされた駆動手段と、

隣接する走査線間で表示データの異なる画素を検出する検出手段を具備し、

直近の走査線上で表示される表示データと異なる表示データが表示される1以上の画素を含む組に対してのみ、前記表示データ発生手段から前記駆動手段へ表示データが送出されることを特徴とする表示装置。

22. 前記駆動手段の各組には、符号多重のための符号が割り振られており、前記表示データ発生手段から前記駆動手段への表示データの伝送は、前記符号により前記駆動手段のどの組へ送られたものかを指定することを特徴とする請求の範囲第21項に記載の表示装置。

23. 前記符号は、直交符号、位相がシフトされた同一のPN符号または位相がシフトされオフセットが加えられた同一のPN符号であることを特徴とする請求の範囲第11項から第22項のいずれか1項に記載の表示装置。

図 1

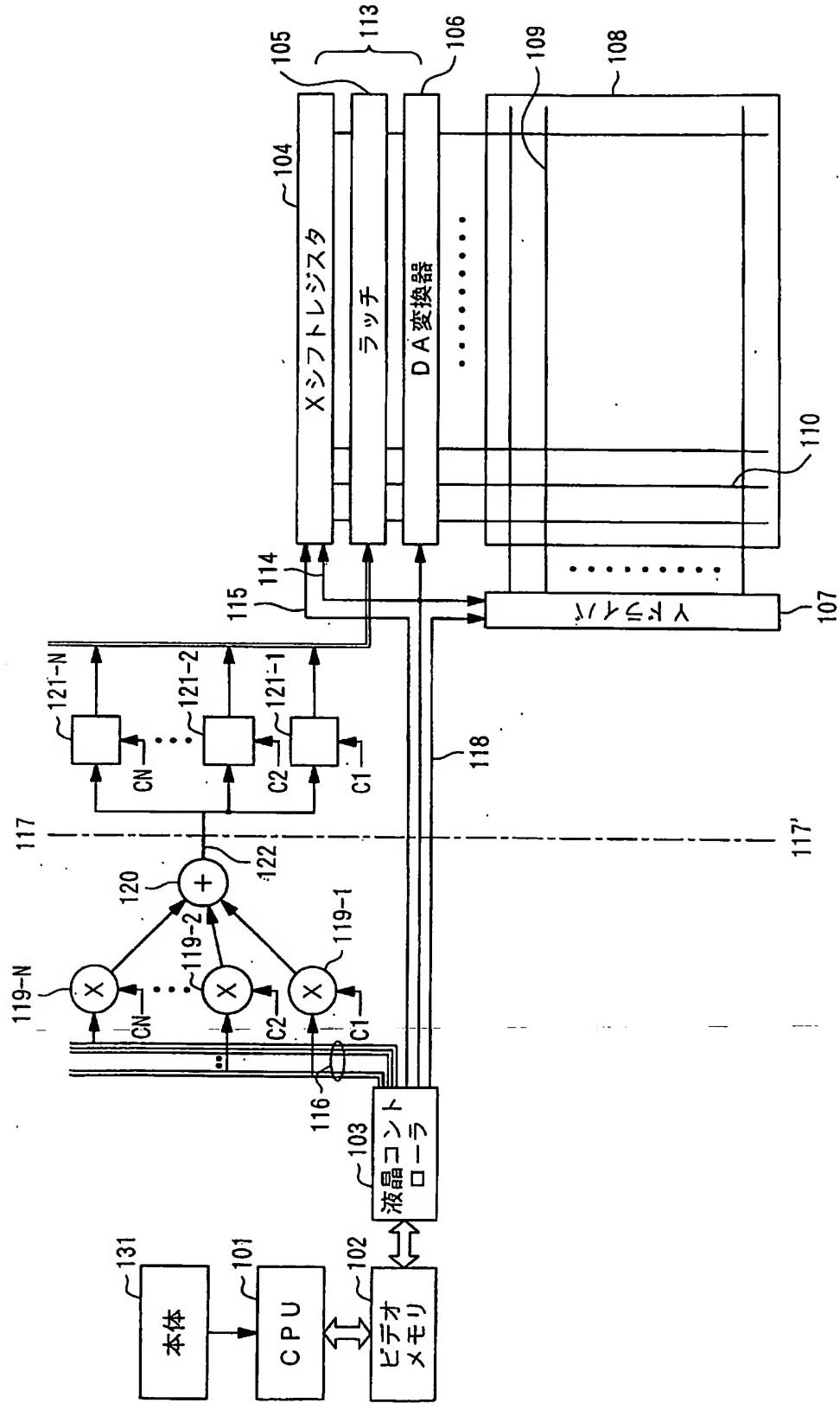


図 2

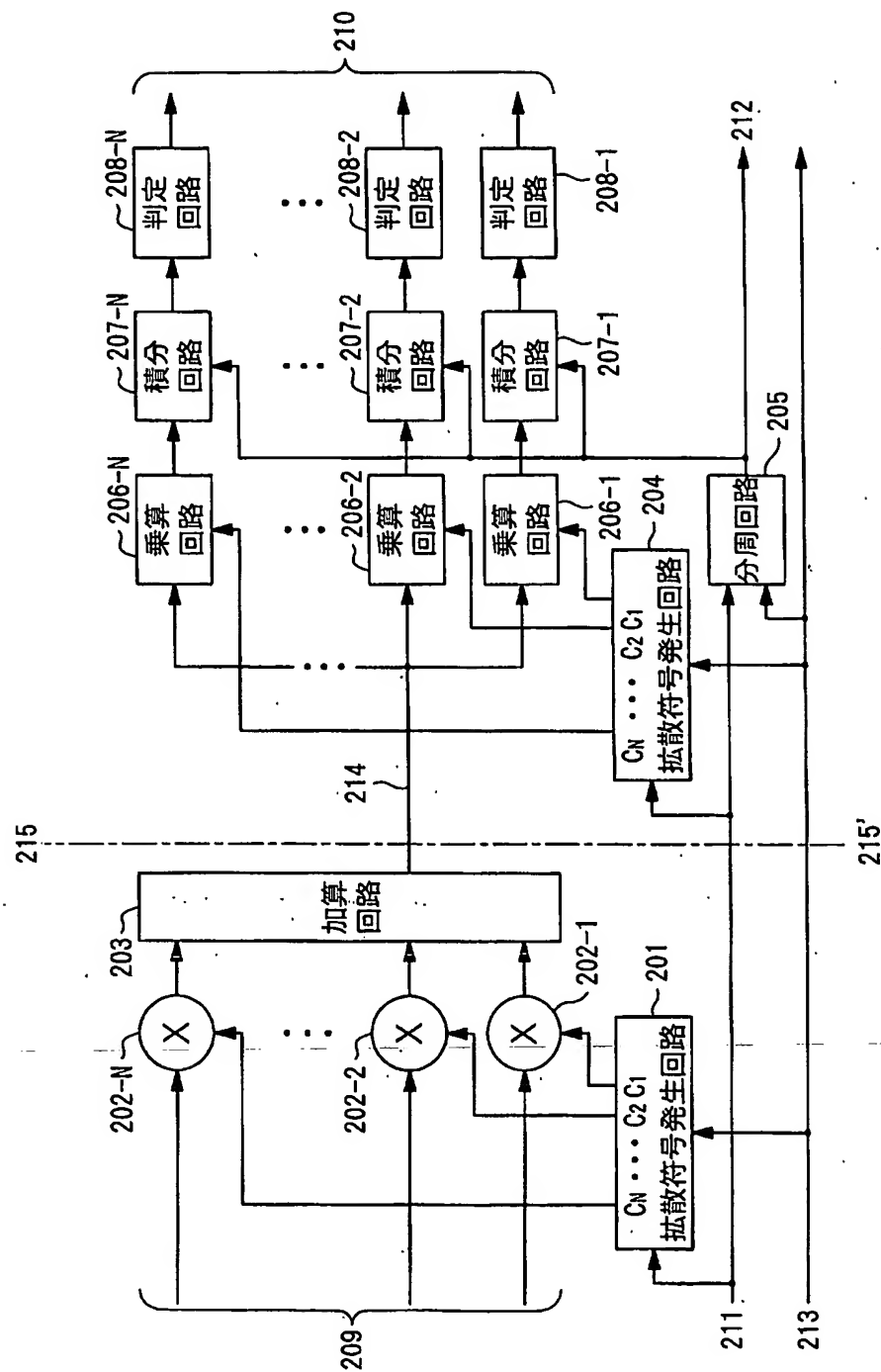


図 3

	t_b										t_c			
S	1	1	-3	1	1	1	1	-3	1	-3	1	1	1	3
C ₁	1	-1	-1	1	1	-1	-1	1	1	-1	-1	1	-1	1
C ₂	1	1	-1	-1	1	1	-1	-1	1	1	-1	-1	1	1
C ₃	1	-1	1	-1	1	-1	1	-1	1	-1	1	-1	1	1
SC ₁	1	-1	3	1	1	-1	-1	-3	1	3	-1	1	-3	1
SC ₂	1	1	3	-1	1	1	-1	3	1	-3	-1	-1	-3	1
SC ₃	1	-1	-3	-1	-1	-1	1	3	1	3	1	-1	-3	1

(b)

	t_b										t_c		
b_1	0										1	0	1
b_2	0										0	1	1
b_3	1										0	0	1
C_1	0	1	1	0	0	1	1	0	0	1	1	0	0
C_2	0	0	1	1	0	0	1	1	0	0	1	1	0
C_3	0	1	0	1	0	1	0	1	0	1	0	1	0
b_1C_1	1	-1	-1	1	-1	1	1	-1	1	-1	1	-1	1
b_2C_2	1	1	-1	-1	1	1	-1	-1	-1	1	1	-1	1
b_3C_3	-1	1	-1	1	1	-1	1	-1	1	-1	-1	1	1
S	1	1	-3	1	1	1	1	-3	1	1	-3	1	1

(a)

図 4

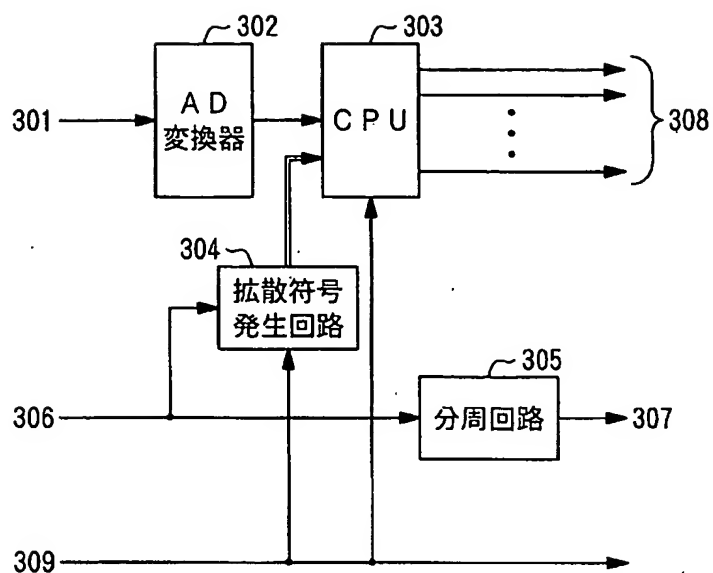


図 5

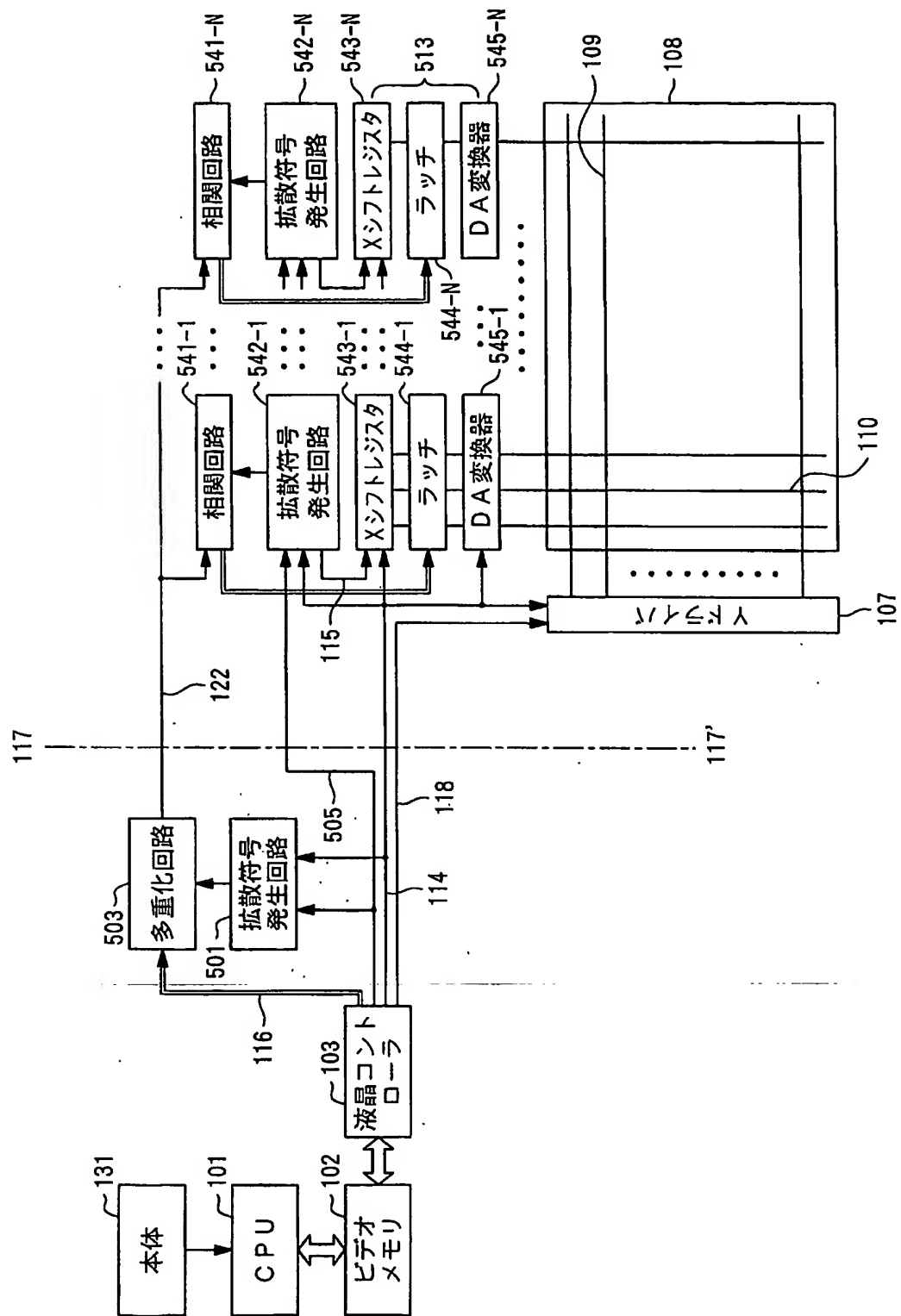


図 6

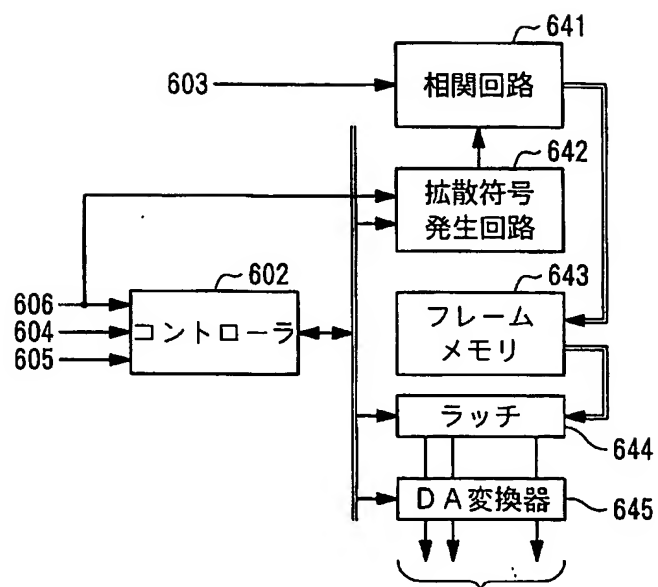


图 7

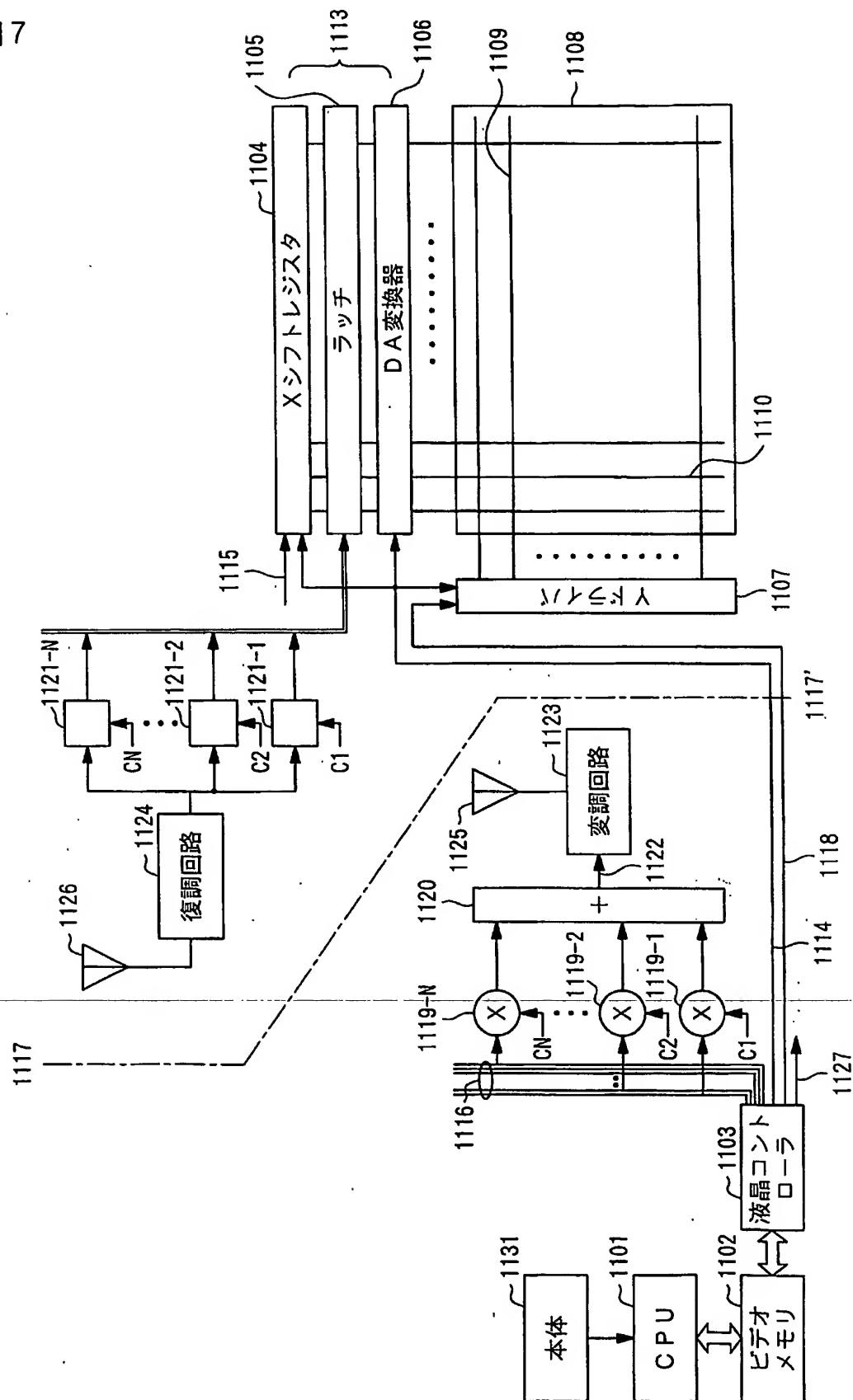


図 8

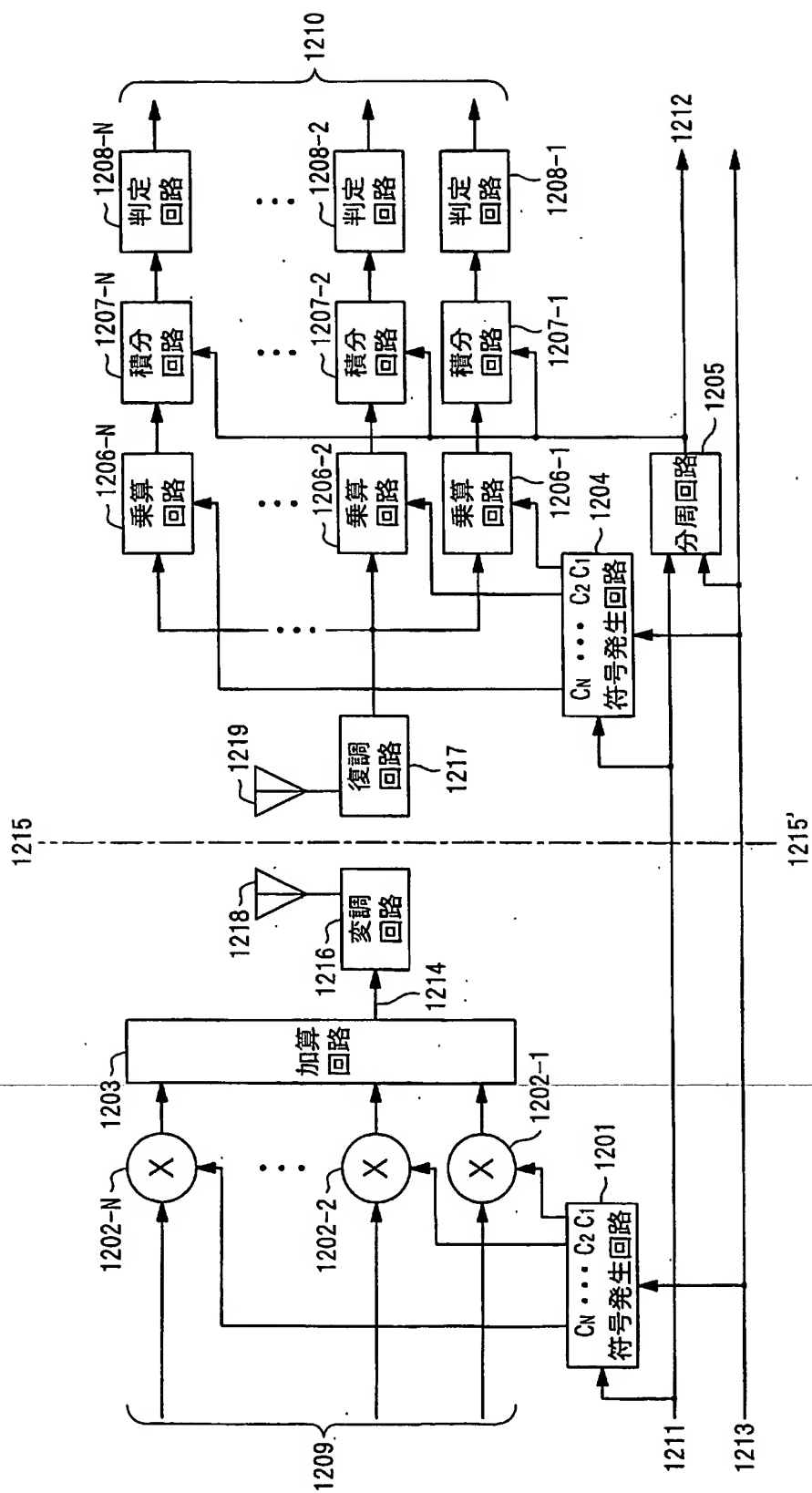


図 9

	t_b										t_c																																																																										
b_1	0					1					0					1																																																																					
b_2	0					0					1					1																																																																					
b_3	1					0					0					1																																																																					
C_1	0					1					0					1					0					1					0					0																																																	
C_2	0					1					0					1					0					1					0					1					1					0																																							
C_3	0					1					0					1					0					1					0					1					0					1					0																																		
b_1C_1	1					-1					1					-1					1					-1					1					-1					1					-1					1																																		
b_2C_2	1					-1					1					-1					1					-1					1					-1					1					-1					1																																		
b_3C_3	-1					1					-1					1					-1					1					-1					1					-1					1																																							
S	1					-3					1					1					1					-3					1					1					-3					1					1					3																													
C_1	1					-1					-1					1					1					-1					1					1					-1					-1					1																																		
C_2	1					1					-1					1					1					-1					1					1					-1					-1					1																																		
C_3	1					-1					1					-1					1					-1					1					-1					1					-1					1																																		
SC_1	1					-1					3					1					1					-1					-3					1					3					-1					-1					1					3																								
SC_2	1					1					3					-1					1					1					-1					3					1					-3					1					-1					-1					3																			
SC_3	1					-1					-3					-1					1					-1					1					3					1					3					1					-1					-1					3																			

(b)

	t_b										t_c																																																						
b_1	0					1					0					1																																																	
b_2	0					0					1					1																																																	
b_3	1					0					0					1																																																	
C_1	0					1					0					1					0					1					0					0																													
C_2	0					1					0					1					0					1					0					1					1					0																			
C_3	0					1					0					1					0					1					0					1					0					1					0														
b_1C_1	1					-1					1					-1					1					-1					1					-1					1					1					-1					1									
b_2C_2	1					1					-1					1					-1					-1					1					-1					-1					1					1					1					1				
b_3C_3	-1					1					-1					1					-1					1					-1					-1					1					-1					1					1									
S	1					1					-3					1					-3					1					-3					1					-3					1					1					3									

(a)

図 10

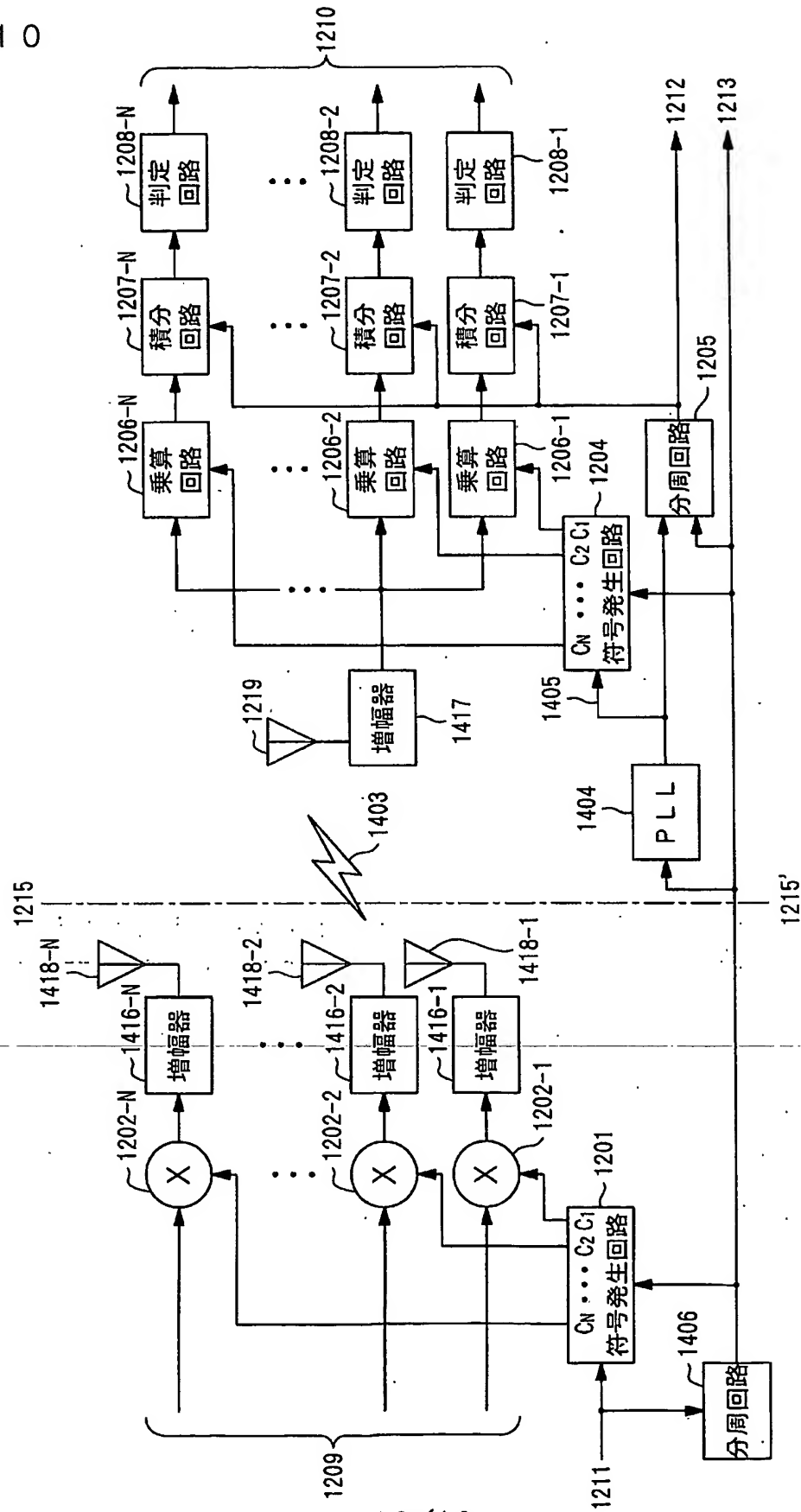


図 1 1

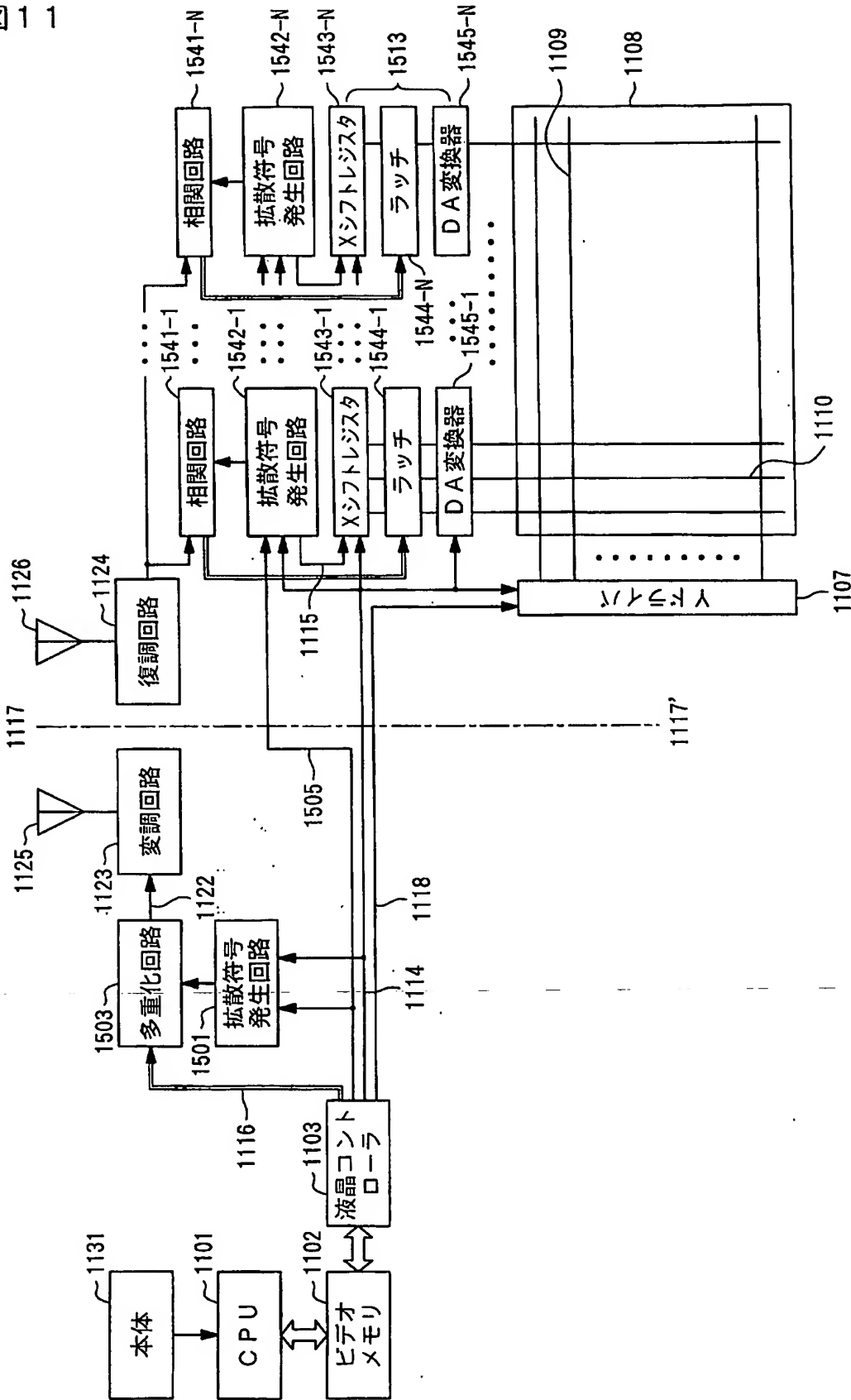


図 12

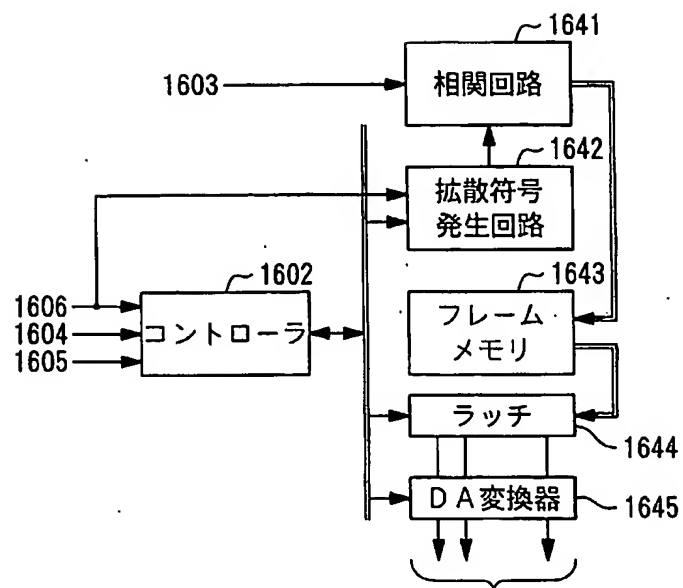
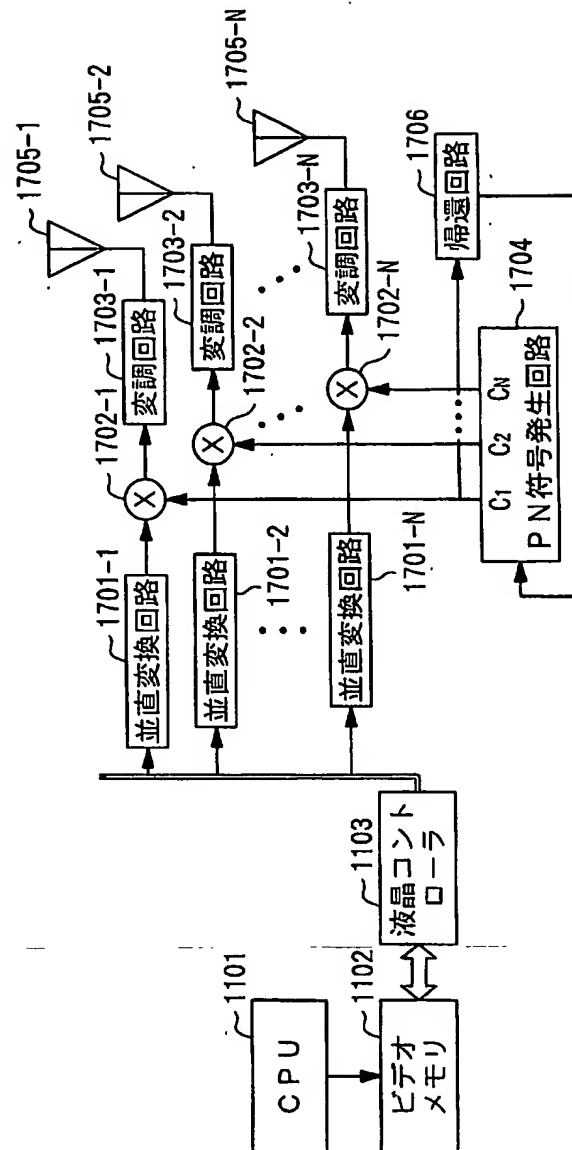


図 13



14/16

[illegible]

2002

図 15

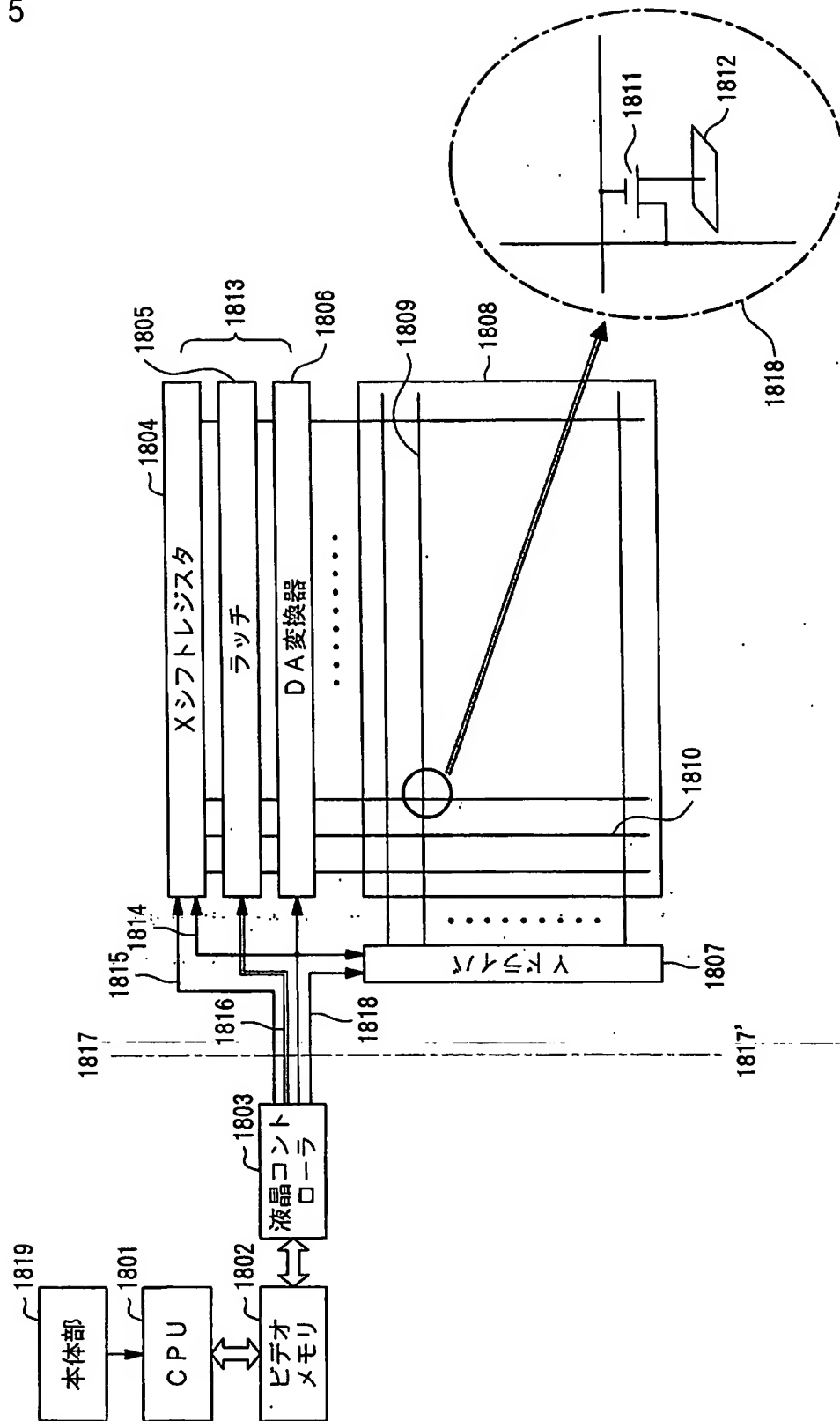
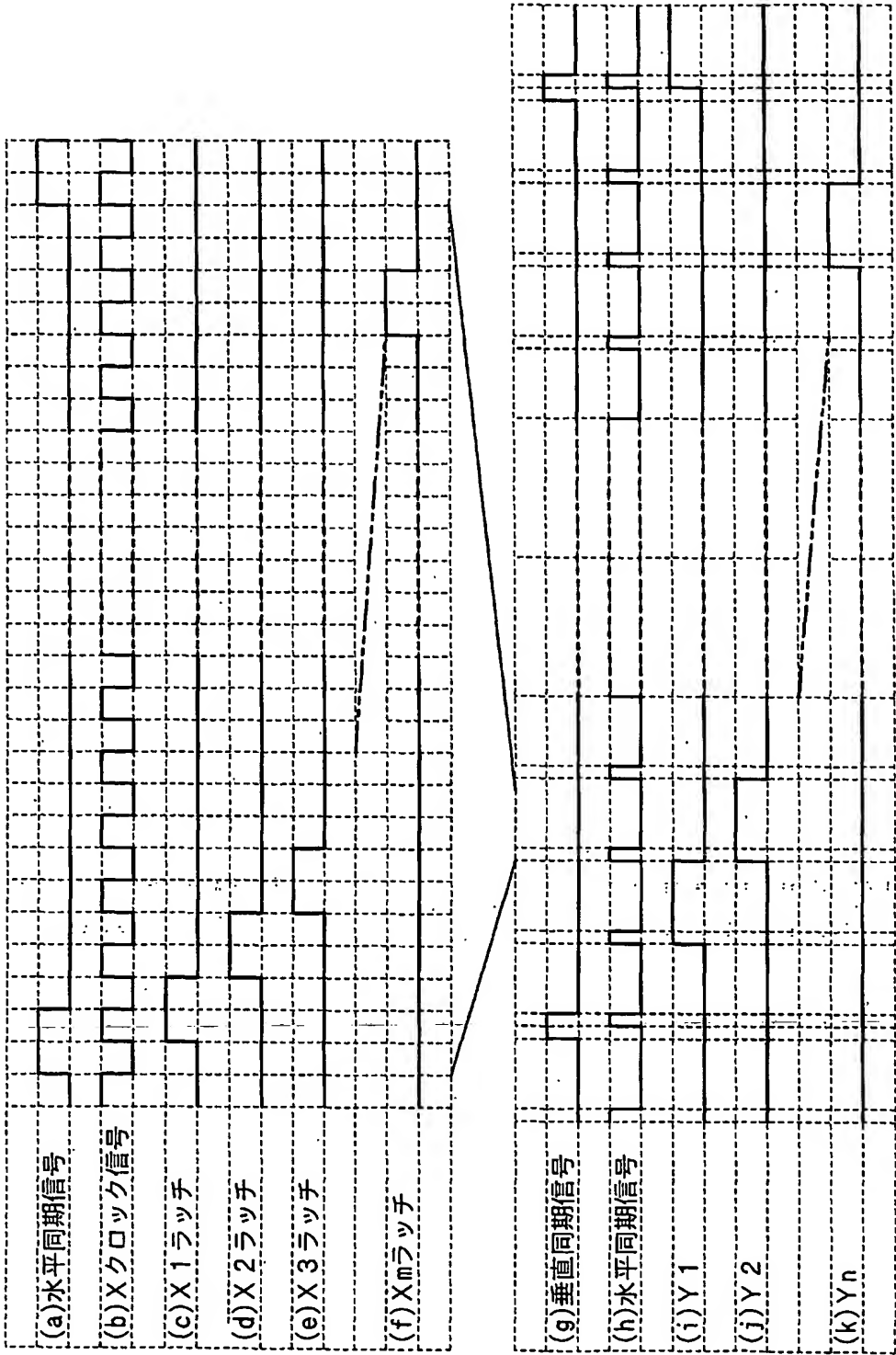


図 16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016884

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01), G09G3/20(2006.01), H04B1/707(2006.01),
H04N5/66(2006.01), H04N5/00(2006.01), G09G5/00(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-5/42(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-29722 A (Sharp Corp.), 31 January, 2003 (31.01.03),	1, 2, 4, 11, 12,
Y	Par. Nos. [0043] to [0046], [0049], [0078] to [0081]; Figs. 1, 6, 7	15, 17
A	(Family: none)	3, 5-7, 9, 10, 16, 18-23
Y	JP 11-259268 A (Sanyo Electric Co., Ltd.), 24 September, 1999 (24.09.99), Par. Nos. [0005] to [0011]; Fig. 6 (Family: none)	13, 14
Y	JP 2001-228841 A (International Business Machines Corp.), 24 August, 2001 (24.08.01), Par. Nos. [0030] to [0031]; Fig. 4 & US 2001/0030649 A1	3, 16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 December, 2005 (13.12.05)

Date of mailing of the international search report
20 December, 2005 (20.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016884

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-130910 A (Seiko Epson Corp.), 13 May, 1994 (13.05.94), Par. Nos. [0015] to [0017], [0020], [0021]; Figs. 1, 2 & US 5726677 A & GB 2271458 A & DE 4322666 A	5-7, 18-20
A	WO 2001/029814 A1 (Seiko Epson Corp.), 26 April, 2001 (26.04.01), Page 15, line 20 to page 18, line 14; Figs. 1, 2 & EP 1146501 A1	5-7, 18-20
X Y	JP 2001-306014 A (Seiko Epson Corp.), 02 November, 2001 (02.11.01), Par. Nos. [0039] to [0053], [0059] to [0062], [0065] to [0067]; Figs. 1 to 6 & US 2002/0000969 A1	8, 21 9, 10, 22, 23
A	JP 9-159993 A (Toshiba Corp.), 20 June, 1997 (20.06.97), Par. Nos. [0018] to [0027]; Figs. 1, 2 & KR 218985 B	8-10, 21-23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016884

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016884

Continuation of Box No. III of continuation of first sheet (2)

The matter common to the inventions of claims 1-7 and 11-20 relates to "to send the divided display data by encoding, dividing and multiplexing the divided data, and to restore the original divided display data on the reception side", and the matter common to the inventions of claims 8-10 and 21-23 relates to "to detect the pixels of different display data between adjoining scanning lines and to send the display data from said display data generating means to said drive means only for the group containing at least one pixel for displaying the display data different from the display data displayed on the close scanning line". Since there is no technical relationship among those inventions involving one or more of the same or corresponding special technical features, the inventions are not so linked as to form a single general inventive concept.

Moreover, the matter common to the inventions of claims 1-7 and 11-20 relates to "to send the divided display data by encoding, dividing and multiplexing the divided data, and to restore the original divided display data on the reception side", as described above.

However, the international search has revealed that said matter is not novel, since it is disclosed in document JP 2003-29722 A (Sharp Corp.), 31 January, 2003 (31.01.03), Par. Nos. [0043] - [0046], [0049], [0078] - [0081], [Fig. 1], [Fig. 6] and [Fig. 7].

Consequently, the common feature is not the special technical feature within the meaning of PCT Rule 13.2, second sentence, since said matter makes no contribution over the prior art.

Therefore, there is no matter common to all the inventions of claims 1-7 and 11-20. Since there exists no other common matter which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT rule 13 between those different inventions can be seen.

Consequently, it is apparent that the inventions relating to claims 1-4 and 11-17 and claims 5-7 and 18-20 do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/36 (2006.01), G09G3/20 (2006.01), H04B1/707 (2006.01), H04N5/66 (2006.01), H04N5/00 (2006.01), G09G5/00 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/00-5/42 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-29722 A (シャープ株式会社) 2003.01.31, 【0043】-【0046】, 【0049】, 【0078】-【0081】, 【図1】, 【図6】, 【図7】 (ファミリー無し)	1, 2, 4, 11, 12, 15, 17
Y		3, 5-7, 9, 10, 16, 18-23
A		13, 14
Y	JP 11-259268 A (三洋電機株式会社) 1999.09.24, 【0005】-【0011】, 【図6】 (ファミリー無し)	3, 16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの。
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

13.12.2005

国際調査報告の発送日

20.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 亮治

電話番号 03-3581-1101 内線 3226

2G

9610

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-228841 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2001.08.24, 【0030】 - 【0031】, 【図4】 & US 2001/0030649 A1	3, 16
Y	JP 6-130910 A (セイコーエプソン株式会社) 1994.05.13, 【0015】 - 【0017】, 【0020】, 【0021】, 【図1】, 【図2】 & US 5726677 A & GB 2271458 A & DE 4322666 A	5-7, 18-20
A	WO 2001/029814 A1 (セイコーエプソン株式会社) 2001.04.26, 第15頁第20行-第18頁第14行, 第1図, 第2図 & EP 1146501 A1	5-7, 18-20
X	JP 2001-306014 A (セイコーエプソン株式会社) 2001.11.02, 【0039】 - 【0053】, 【0059】 - 【0062】, 【0065】 - 【0067】, 【図1】 - 【図6】 & US 2002/0000969 A1	8, 21
Y		9, 10, 22, 23
A	JP 9-159993 A (株式会社東芝) 1997.06.20, 【0018】 - 【0027】, 【図1】, 【図2】 & KR 218985 B	8-10, 21-23

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1～7、11～20に係る発明の共通の事項は「分割された表示データを符号分割多重化して送信し、受信側において元の分割された表示データに復元すること」に関し、請求の範囲8～10、21～23に係る発明の共通の事項は「隣接する走査線間で表示データの異なる画素を検出し、直近の走査線上で表示される表示データと異なる表示データが表示される1以上の画素を含む組に対してのみ、前記表示データ発生手段から前記駆動手段へ表示データを送出すること」に関するものである。これらの発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

（特別ページに続く）

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付を伴う異議申立てがなかった。

(第Ⅲ欄の続き)

さらに、請求の範囲 1～7、11～20に係る発明の共通の事項は、上記した通り、[分割された表示データを符号分割多重化して送信し、受信側において元の分割された表示データに復元すること]である。

しかしながら、調査の結果、該事項は、文献 JP 2003-29722 A (シャープ株式会社) 2003.01.31, 【0043】 - 【0046】, 【0049】, 【0078】 - 【0081】, 【図 1】, 【図 6】, 【図 7】に開示されているから、新規でないことが明らかになった。

結果として、該事項は先行技術の域を出ないから、PCT規則 13.2 の第 2 文の意味において、この共通事項は特別な技術的特徴でない。

それ故、請求の範囲 1～7、11～20に係る発明全てに共通の事項はない。
PCT規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT規則 13 の意味における技術的な関連を見いだすことはできない。

よって、請求の範囲 1～4、11～17、請求の範囲 5～7、18～20に係る発明は、発明の単一性の要件を満たしていないことが明らかである。